

UNIVERSITÀ DEGLI STUDI DI TORINO

Facoltà di Scienze Matematiche, Fisiche e Naturali

Corso di Laurea in Fisica

TESI DI LAUREA

Progetto e caratterizzazione di circuiti a basso rumore

Relatore:

Prof. Giancarlo Bonazzola

Correlatore:

Ing. Giovanni Mazza

Candidato: *Andrea Gangemi*

Anno Accademico 1997-1998

A Gabri

Indice

Introduzione	4
1 Cenni sui rivelatori a stato solido	6
1.1 Introduzione	6
1.2 Rivelatori a “microstrip”	7
1.3 Camere a Deriva	7
1.4 Elettronica di front-end per rivelatori microstrip e drift	11
1.5 Effetto Fotoconduttivo nel silicio	14
1.6 Camere a Pixel	16
1.6.1 Elettronica di front-end per camere a pixel	17
1.7 CCD	17
1.7.1 Correnti di buio	19
1.7.2 Efficienza quantica	20
1.7.3 Lettura dell’immagine	21
1.8 Fotodiodi	22
1.8.1 Generalità sui fotodiodi	22
1.8.2 Elettronica di front-end per i fotodiodi	26
2 Il rumore nei dispositivi elettronici	29
2.1 Definizione	29
2.2 Rumore per interferenza	29
2.3 Rumore intrinseco	31
2.3.1 Rapporto segnale-rumore	32
2.3.2 Valori Efficaci	33
2.3.3 Rumore Termico o “bianco”	33
2.3.4 Banda di rumore	36
2.3.5 Circuiti equivalenti del rumore termico	39
2.3.6 Somma di tensioni di rumore	40
2.3.7 Rumore $\frac{1}{f}$ o “rosa”	40
2.3.8 Rumore “Shot”	41
2.3.9 Rumore kT/C	43

2.4	Rumore nei circuiti integrati	45
2.5	Il rumore nei transistor MOS	46
2.6	Figura di rumore	48
2.7	Modello di rumore per gli amplificatori operazionali	48
2.8	Conclusioni	53
3	Caratterizzazione di un amplificatore di Front-End per rivelatori a microstrip	54
3.1	TOA16	54
3.1.1	Principio di funzionamento	54
3.1.2	Funzionamento nelle simulazioni e nella configurazione sperimentale	55
3.1.3	Funzionamento in condizioni operative	57
3.2	Simulazioni	57
3.3	misure	59
3.3.1	Strumentazione utilizzata	60
3.3.2	Generazione dei segnali in ingresso	61
3.3.3	Polarizzazioni	62
3.3.4	Misure	62
3.3.5	Progettazione di un adattatore di impedenza	65
3.3.6	Scelta del circuito di polarizzazione	66
3.3.7	Misure con adattatore di impedenza	69
3.4	Simulazioni senza capacità	73
3.5	Analisi dei dati	73
3.6	Conclusioni	74
4	Il chip TERA1	76
4.1	Introduzione	76
4.2	Principio di funzionamento	76
4.3	Verifiche di funzionalità	80
4.3.1	Polarizzazioni	80
4.3.2	Strumentazione utilizzata	80
4.3.3	Misurazione della corrente	81
4.3.4	Misure	82
4.4	Analisi dei dati	84
4.5	Misure di piccole correnti	86
4.5.1	Traslatori di livello	87
4.5.2	Progettazione della logica di controllo	89
4.5.3	Realizzazione pratica dell'interfaccia	91
4.5.4	Misure	93
4.5.5	Analisi dei dati	94

4.6	Conclusioni	99
5	Progetto di un amplificatore operazionale a basso rumore	100
5.1	Introduzione	100
5.2	Sottocircuiti di base	100
5.2.1	Amplificatore differenziale	101
5.2.2	Stadio di uscita	104
5.3	Cenni sulle metodologie per il disegno di circuiti integrati . . .	105
5.4	Progetto di un amplificatore differenziale a due stadi	108
5.4.1	Compensazione dei poli	108
5.4.2	Metodologie di progetto	110
5.4.3	Implementazione del circuito	115
5.4.4	Simulazione del circuito	115
5.4.5	Disegno del Layout	120
5.4.6	Disegno dei componenti passivi	124
5.4.7	Simulazioni post-layout	125
5.5	Sviluppo di un amplificatore con pMOS in ingresso	127
5.5.1	Realizzazione del circuito	128
5.5.2	Simulazione del circuito	128
5.5.3	Simulazione del circuito in configurazione di integratore	133
5.6	Conclusioni	135
A	Programma per la parametrizzazione di un Opamp a due stadi	138
	Bibliografia	144
	Ringraziamenti	146

Introduzione

In questi ultimi anni si è assistito ad una evoluzione rapidissima delle microtecnologie e della elettronica integrata. Questo fenomeno ha avuto ricadute in tutti i campi della scienza e della tecnologia. Senza considerare gli effetti immediati nella vita di tutti i giorni, grazie alle sempre più sofisticate tecnologie è ora possibile realizzare strumenti e sensori sempre più precisi e sempre più piccoli, con costi ridotti. D'altro canto, l'aumento della precisione delle misure di grandezze fisiche realizzate tramite dispositivi VLSI (Very Large Scale Integration, ovvero integrazione su scala molto elevata) ha fatto sì che anche i più piccoli fenomeni di disturbo possano interferire con il corretto funzionamento del dispositivo, falsando di fatto la misura. Per questo motivo la teoria del rumore riveste un ruolo importante nella fase di progetto di un qualsiasi circuito integrato, ed in particolar modo nel progetto dei circuiti analogici.

In questa tesi di laurea viene presentato il lavoro svolto nell'ambito del progetto e della caratterizzazione di circuiti integrati CMOS in tecnologia VLSI a basso rumore.

Nel capitolo 1 vengono illustrati alcuni dei più diffusi sensori a stato solido, impiegati nell'ambito di esperimenti di Fisica delle alte energie e nel campo delle telecomunicazioni.

Nel capitolo 2 viene trattata la teoria del rumore. Vengono definite le grandezze fondamentali per la trattazione del fenomeno e viene analizzato il comportamento del rumore nei dispositivi che compongono i circuiti descritti nei successivi capitoli

Nel capitolo 3 vengono illustrate le misure di linearità del chip TOA16, dando risalto al problema della schermatura dai disturbi di tipo elettromagnetico e ai problemi degli stadi di uscita CMOS a portare il segnale attraverso lunghi collegamenti.

I capitoli 4 e 5 si collocano nell'ambito di una collaborazione con il Politecnico di Torino per lo studio di realizzabilità di un sistema integrato per l'analisi del DNA.

Nel capitolo 4 vengono illustrati i test di un circuito integrato (TERA1)

precedentemente progettato e realizzato per l'uso in applicazioni di Fisica medica. I test hanno lo scopo di determinare se, e in quale misura, il circuito può essere impiegato per il fine da noi cercato. Anche in questo caso, trattandosi di segnali estremamente deboli, la misura è sensibile a qualsiasi fonte di disturbo. Nel capitolo vengono inoltre illustrati i circuiti di interfacciamento appositamente realizzati per l'acquisizione dei dati, in condizioni di piccolo segnale.

Il capitolo 5 è dedicato al progetto di un nuovo amplificatore operazionale, con caratteristiche di basso rumore tali da renderlo idoneo per l'utilizzo nel sistema di analisi del DNA. Viene dapprima presentata una descrizione dei circuiti elementari che costituiscono l'amplificatore, a seguire viene data una breve descrizione delle metodologie seguite per la realizzazione di un circuito VLSI. Vengono infine descritti i passi che hanno portato alla realizzazione dei due circuiti amplificatori e vengono descritte le architetture utilizzate per la realizzazione sul wafer di silicio dei due amplificatori.

Capitolo 1

Cenni sui rivelatori a stato solido

1.1 Introduzione

In questo capitolo viene presentata una rassegna dei più diffusi rivelatori a stato solido. Questa famiglia di dispositivi include oggetti molto dissimili per caratteristiche e prestazioni. Esistono tuttavia alcune proprietà comuni. Si tratta in primo luogo di rivelatori ad alta scala di integrazione ed a elevato grado di parallelismo, e proprio per questa ragione il loro utilizzo è sempre più massiccio negli esperimenti della Fisica della alte energie. Un altro elemento comune consiste nel fatto che, per come vengono solitamente utilizzati, i dispositivi non posseggono meccanismi di amplificazione interna (come di solito avviene in rivelatori a gas o nei fotomoltiplicatori, per fare un esempio). I dispositivi necessitano dunque di un'elettronica di front-end appositamente disegnata. In particolare, essendo il segnale in uscita molto piccolo, andrà posta molta attenzione al rapporto segnale-rumore dell'elettronica di front-end nonché al rumore stesso dei dispositivi. Si è detto che i dispositivi a stato solido sono ad alta densità di integrazione, per questo motivo e per le considerazioni fatte poc'anzi sul rapporto segnale rumore ne risulta che l'elettronica di lettura deve necessariamente essere realizzata con tecnica VLSI, che attualmente rappresenta lo stato dell'arte per quanto riguarda integrazione e rumore.

Negli esperimenti alle alte energie, per la ricostruzione della traiettoria delle particelle sono richieste misure di posizione con precisioni dell'ordine di pochi micron [4]. I rivelatori che permettono tali risoluzioni sono fondamentalmente:

- Rivelatori a “microstrip”

- Camere a deriva (“Drift Chambers”)
- Camere a Pixel
- CCD (“Charge Coupled Devices”, ovvero dispositivi ad accoppiamento di carica)

I primi due tipi, i quali sfruttano il principio di una giunzione PN polarizzata inversamente, sono di largo impiego negli esperimenti di fisica delle alte energie e vengono trattati nei seguenti paragrafi, mentre nei successivi paragrafi verranno trattati CCD, camere a pixel e un ulteriore dispositivo, il fotodiodo. In ogni paragrafo viene fornita una descrizione sulla struttura e sul funzionamento del dispositivo, nonché una breve descrizione sul tipo idoneo di elettronica per la lettura.

1.2 Rivelatori a “microstrip”

Un rivelatore a “microstrip” (fig. 1.1) è formato da uno strato di silicio di tipo n dello spessore di circa $300\mu m$. Usando la tecnica dell’impianto ionico vengono ricavate sulla faccia superiore delle strisce (“strips”) di tipo p^+ strette fino a $10\mu m$ e lunghe qualche centimetro distanziate tra loro di circa $20\mu m$.

Sul lato inferiore viene creato uno strato di tipo n^+ . Tra lo strato inferiore e ciascuna “strip” viene applicata una tensione tale da polarizzare inversamente le giunzioni che si sono create e di un valore di poco superiore a quello necessario ad ottenere il totale svuotamento delle stesse.

Quando una particella relativistica al minimo di ionizzazione attraversa il rivelatore, essa produce in media 25000 coppie elettrone-lacuna. La carica che viene liberata all’interno del dispositivo da una particella relativistica risulta essere in media di $4fC$, valore che viene spesso indicato per brevità come MIP (“Minimum Ionizing Particle”, Particella al Minimo di Ionizzazione). Sotto l’effetto del campo elettrico applicato al dispositivo, si avrà che gli elettroni generati si muoveranno verso il contatto n^+-n , mentre le lacune si dirigeranno verso le “strips”. Tutte le cariche vengono raccolte sugli elettrodi in tempi dell’ordine della decina di nanosecondi.

1.3 Camere a Deriva

Le camere a deriva si basano sullo stesso principio di funzionamento delle microstrip ma si differenziano per essere dispositivi a lettura bidimensionale.

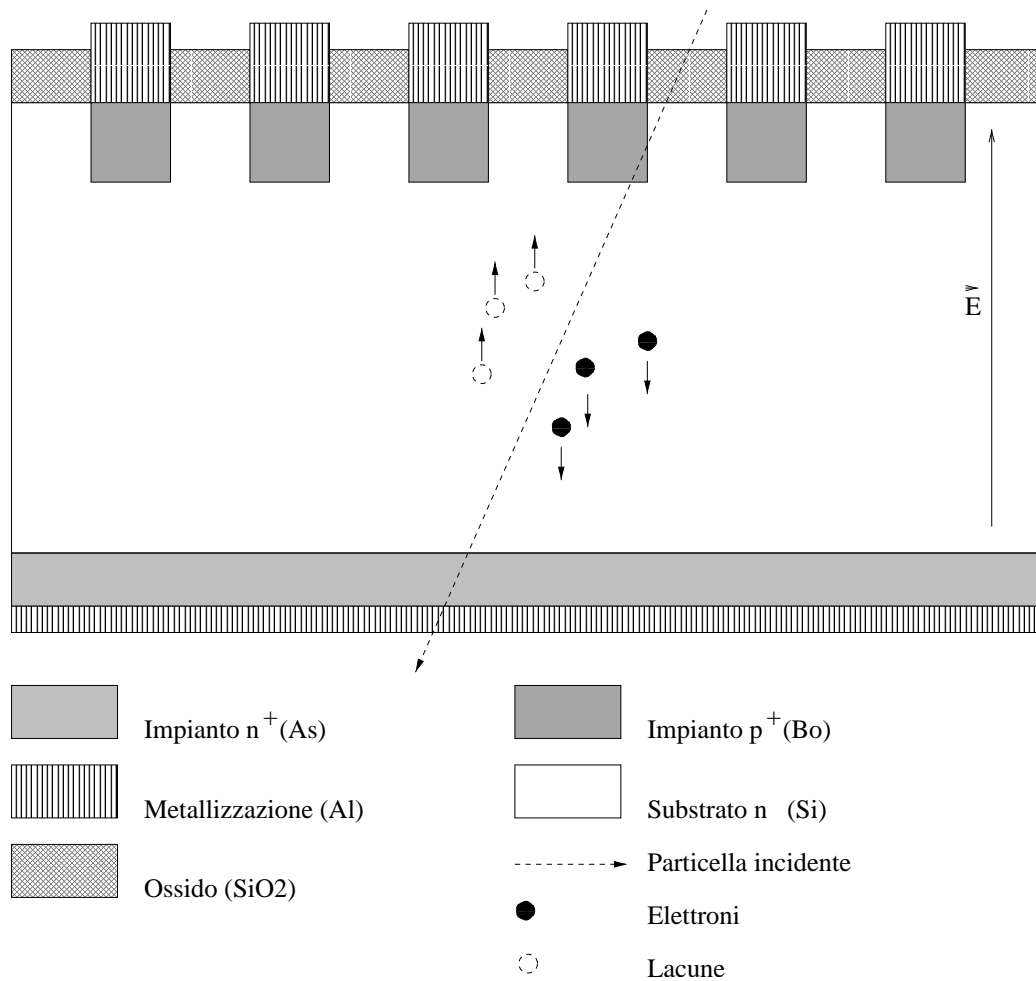


Figura 1.1: *Schema di un rivelatore "microstrip"*

Il dispositivo è costituito da uno strato di tipo n nel quale vengono impiantate delle strisce di tipo p^+ su entrambi i lati. In fig. 1.2 è schematizzata una camera a deriva.

Applicando un'opportuna tensione tra la striscia e il substrato si ottiene il totale svuotamento del dispositivo dei portatori di carica. L'andamento del potenziale tra una coppia di strisce opposte e il substrato è di tipo parabolico ed è rappresentato in fig. 1.3.

Se il potenziale lungo la direzione longitudinale del dispositivo viene "inclinato", come mostrato in fig. 1.3, si ottiene una valle di potenziale in grado di convogliare, per deriva, gli elettroni generati in un evento di ionizzazione verso uno o più anodi di raccolta. Per inclinare il potenziale si applica una tensione crescente man mano che ci si avvicina all'anodo. Il

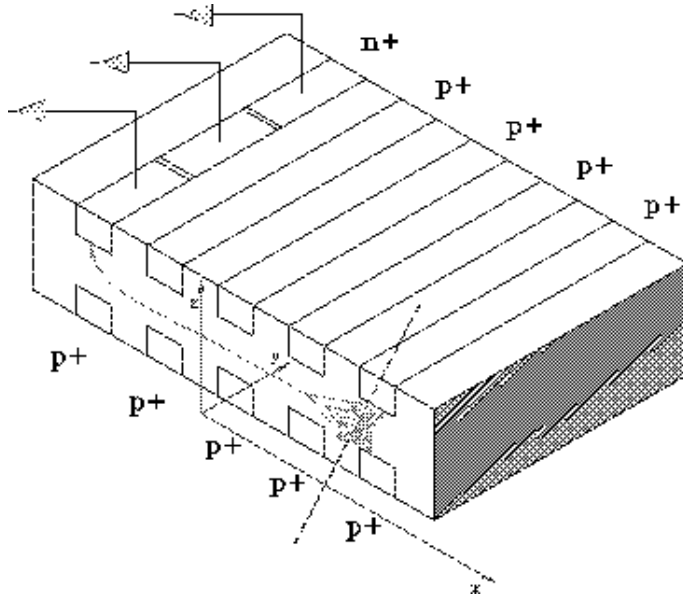


Figura 1.2: *Schema di una camera a deriva*

metodo più comune per creare il gradiente di tensione è ottenuto tramite un partitore resistivo costituito da una serie di resistori in polisilicio direttamente impiantati sul wafer del rivelatore. Su questo principio si basa il funzionamento di una camera a deriva: gli elettroni generati dal passaggio di una particella ionizzante si muovono lungo la direzione del campo di deriva uniforme verso l'anodo di raccolta; la posizione della particella incidente si determina attraverso la misura del tempo di transito del pacchetto di carica. Per l'esatta ricostruzione del punto di impatto della particella ionizzante, viene usualmente posto sotto il dispositivo un rivelatore di passaggio che genera il segnale di trigger necessario al calcolo del tempo di deriva degli elettroni.

Le tensioni applicate agli elettrodi devono essere tali da garantire il completo svuotamento del dispositivo in modo simmetrico da entrambi i lati, per rendere possibile la focalizzazione nel centro del cristallo degli elettroni generati e produrre il campo di deriva. Per ottenere il campo di deriva si applicano tensioni decrescenti verso l'anodo agli elettrodi p^+ .

Il potenziale Φ all'interno del dispositivo è definito dalle condizioni al contorno e deve soddisfare l'equazione di Poisson:

$$\Delta\Phi = -\frac{e \cdot N_d}{\epsilon} \quad (1.1)$$

per il calcolo del potenziale si trascurano i potenziali di diffusione e l'ef-

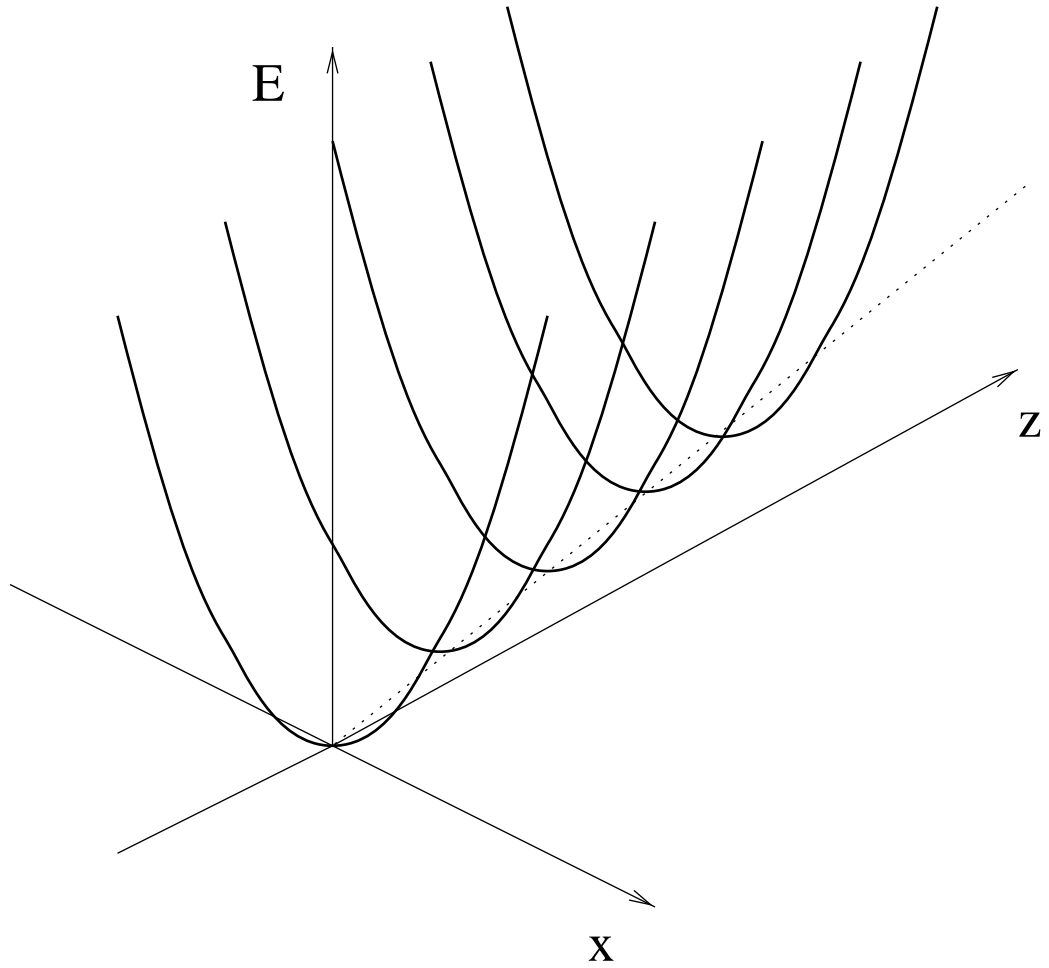


Figura 1.3: *Andamento del potenziale lungo la sezione perpendicolare della Drift*

fetto delle correnti inverse. Tale approssimazione è giustificata dal fatto che nelle condizioni di operazione le tensioni di polarizzazione sono decisamente superiori agli altri potenziali e le correnti sono molto basse. Il potenziale Φ è la risultante di due potenziali Φ_1 e Φ_2 che rappresentano rispettivamente il potenziale di svuotamento del semiconduttore e il potenziale di deriva cui sono soggetti gli elettroni. Il potenziale Φ_1 deve soddisfare la (1.1) mentre Φ_2 dovrà soddisfare la relazione:

$$\Delta \Phi_2 = 0 \tag{1.2}$$

Nel caso unidimensionale l'equazione (1.1) diventa:

$$\frac{d^2\Phi_1}{dx^2} = -\frac{e \cdot N_d}{\epsilon} \quad (1.3)$$

con soluzione:

$$\Phi_1 = \frac{e \cdot N_d}{2\epsilon}(x - x_0)^2 + \Phi_0 \quad (1.4)$$

dove x_0 e Φ_0 sono costanti d'integrazione, per Φ_2 si può invece scrivere:

$$\Phi_2 = E \cdot y \quad (1.5)$$

Poichè l'anodo di raccolta si trova in superficie, le tensioni sugli ultimi elettrodi sono modificate in modo da traslare il minimo di potenziale dalla regione centrale del dispositivo verso l'anodo stesso.

L'arrivo di una particella ionizzante produce nella camera a deriva un certo numero di coppie elettrone-lacuna: i campi elettrici presenti nel dispositivo fanno sì che le lacune vengano raccolte quasi istantaneamente dagli elettrodi p^+ più vicini, mentre gli elettroni vengono focalizzati al centro del rivelatore da dove ha inizio il moto di deriva con velocità:

$$v_d = \mu_e E \quad (1.6)$$

con μ_e la mobilità degli elettroni nel silicio.

La forma della distribuzione di carica dopo poche decine di ns, è quella di un disco delle dimensioni dell'ordine della decina di μm , in moto a velocità costante lungo la direzione di deriva e con raggio crescente per effetto della diffusione e della ripulsione coulombiana fra gli elettroni.

I fattori che possono degradare la qualità del segnale sono principalmente la repulsione coulombiana degli elettroni, che allarga la forma del segnale, e la corrente di fuga del dispositivo.

1.4 Elettronica di front-end per rivelatori microstrip e drift

Come è stato precedentemente descritto, una particella incidente sul rivelatore a microstrip o a deriva produrrà un segnale in corrente.

Per leggere il segnale si possono utilizzare tre metodi diversi, a seconda di quale grandezza si vuole rendere sensibile l'amplificatore [5]:

- un amplificatore di carica
- un amplificatore di tensione

- un amplificatore di corrente (o amplificatore di transimpedenza).

Amplificatore di carica

L'amplificatore di carica (fig. 1.4) è di solito utilizzato nel front-end delle camere a deriva.

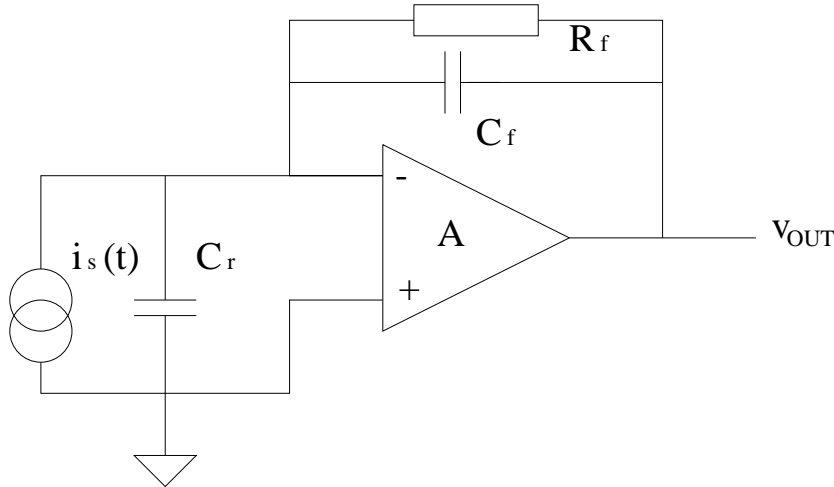


Figura 1.4: *Schema di un amplificatore di carica*

Quando una particella interagisce con il rivelatore, la carica rilasciata fluirà nella capacità di reazione c_f . La tensione di uscita sarà quindi linearmente proporzionale alla carica generata secondo la relazione:

$$v_{OUT} = \frac{Q}{C_f} \quad (1.7)$$

Dove Q è la carica iniettata dal rivelatore. Lo svantaggio di questo tipo di circuito è dato dalla capacità intrinseca del rivelatore C_r , che insieme alla resistenza interna dello stesso forma un filtro passa basso che limita la banda passante del segnale e quindi il tempo di risposta del rivelatore.

Amplificatore di tensione

L'idea alla base dell'amplificatore di tensione, illustrato in fig. 1.5, consiste nell'amplificare la tensione che cade ai capi della capacità intrinseca del rivelatore. Affinchè il sistema possa funzionare bisogna supporre che la resistenza di ingresso dell'amplificatore sia idealmente infinita, ciò è vero in buona approssimazione.

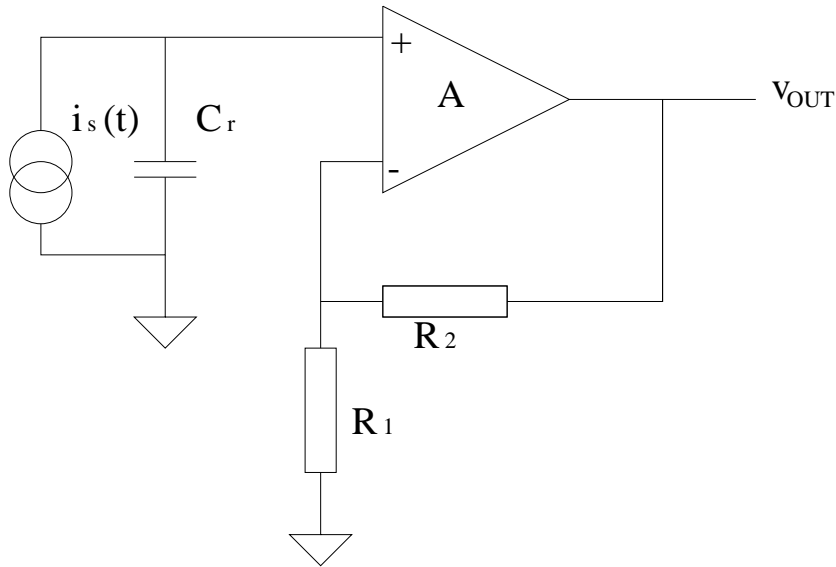


Figura 1.5: *Schema di un amplificatore di tensione*

La tensione in uscita dell'amplificatore è data dalla seguente relazione:

$$v_{OUT} = Q \cdot \frac{R_1 + R_2}{R_1 \cdot C_r} \quad (1.8)$$

Anche se il tempo di risposta di un simile sistema è basso, questo circuito non è di solito implementato a causa della difficoltà nel determinare l'esatto valore della capacità intrinseca del rivelatore.

amplificatore di transimpedenza

L'utilizzo di un amplificatore di corrente (fig. 1.6) per mettere di convertire il segnale in corrente in uscita dal rivelatore in un segnale di tensione.

Il nome di amplificatore di transimpedenza deriva dal fatto che la funzione di trasferimento ha il modulo di una impedenza. Questo tipo di elettronica viene usato in quelle applicazioni in cui è richiesta velocità e in quelle in cui è importante che sia mantenuto l'andamento temporale del segnale in ingresso.

La tensione di uscita è data dalla relazione:

$$v_{OUT} = \frac{dQ}{dt} \cdot r_f \quad (1.9)$$

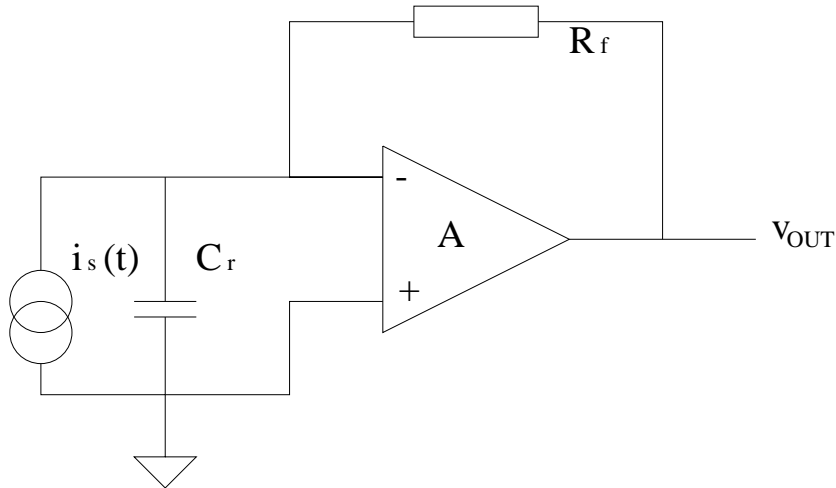


Figura 1.6: *Schema di un amplificatore di transimpedenza*

1.5 Effetto Fotoconduttivo nel silicio

Per avere una migliore comprensione del principio di funzionamento alla base dei CCD, delle camere a pixel e dei fotodiodi, in questo paragrafo verrà discusso il fenomeno della fotoconduzione nel silicio.

I legami covalenti che legano gli elettroni ai nuclei di silicio possono essere rotti da fotoni incidenti quando la loro energia è sufficiente. Quando si verifica la rottura, le coppie elettrone-lacuna generate sono libere di muoversi nel cristallo generando una corrente. Il processo illustrato, detto *fotogenerazione*, equivale a eccitare gli elettroni dalla banda di valenza alla banda di conduzione. L'energia minima che i fotoni devono avere per dar luogo alla fotogenerazione è uguale al "gap" energetico tra le bande di valenza e conduzione., e il numero di lacune generate equivale il numero di elettroni. Nel silicio il salto di energia tra le bande vale 1.24 eV, la lunghezza d'onda minima dei fotoni incidenti dovrà dunque essere pari a

$$\lambda = \frac{c}{\nu} = \frac{c \cdot h}{E_{gap}} \simeq 1\mu\text{m} \quad (1.10)$$

Che equivale a fotoni nella regione dell'infrarosso lontano nello spettro elettromagnetico.

La radiazione incidente sulla superficie del semiconduttore penetra nel cristallo e viene assorbita. Viene definito il *coefficiente di assorbimento* α la quantità di energia assorbita ΔI nella direzione Δx lungo il percorso del flusso di radiazione:

$$\Delta I = I(x + \Delta x) - I(x) = I(x) \cdot \Delta x \quad (1.11)$$

dove $I(x)$ indica l'energia nel punto x . Differenziando la (1.11) si ottiene una equazione differenziale con soluzione:

$$I(x) = I_0 e^{-\alpha x} \quad (1.12)$$

dove I_0 è l'energia all'ingresso del cristallo.

Il coefficiente di assorbimento è funzione dell'energia del fotone, in figura 1.7 è mostrato l'andamento di α in funzione della lunghezza d'onda (e dell'energia del fotone) per il silicio.

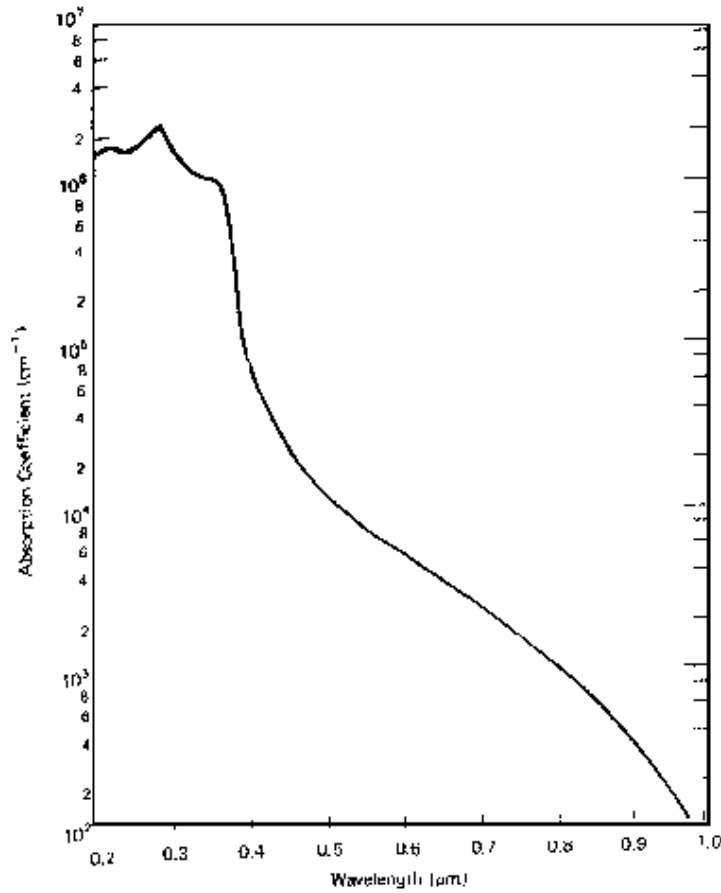


Figura 1.7: *Coefficiente di assorbimento della luce nel silicio*

Dal grafico si vede come la luce ultravioletta sia assorbita con una lunghezza caratteristica (uguale a α^{-1}) minore di 10nm, mentre la luce con lunghezza

d'onda di 1μ m non sia assorbita efficacemente e penetra di circa 100μ m nel cristallo di silicio prima di essere assorbita. L'assorbimento dei fotoni con energia più grande del gap di banda, è sostanzialmente dovuta alla generazione di coppia elettrone-lacuna.

1.6 Camere a Pixel

La foto in fig. 1.8 rappresenta un rivelatore a pixel attualmente in uso presso il Fermilab (Illinois, Stati Uniti). Si tratta fondamentalmente di una matrice rettangolare di pixel (visibili nel centro).

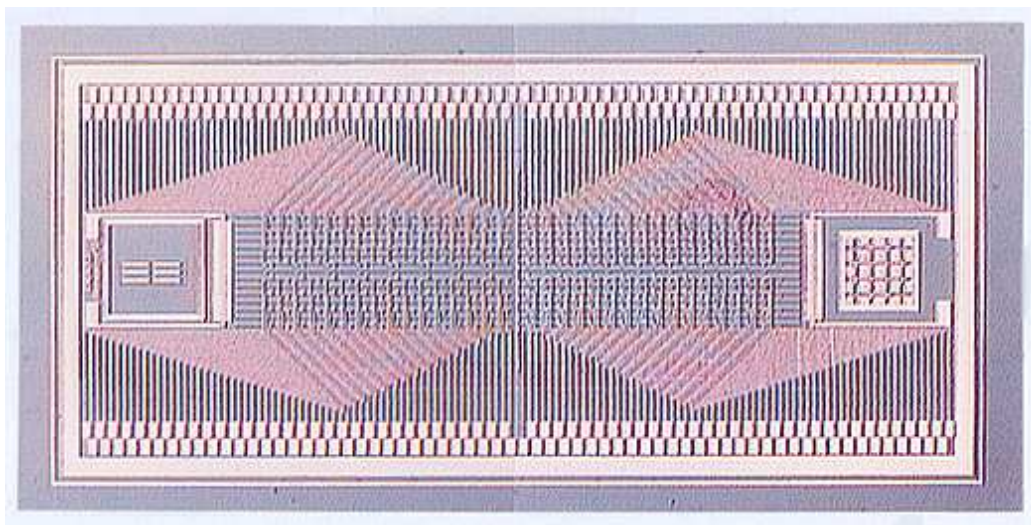


Figura 1.8: *Camera a pixel*

La differenza fondamentale rispetto ai CCD sta nel fatto che ogni pixel incorpora l'elettronica di lettura al suo interno. L'elettronica è di solito collegata direttamente sopra il pixel e consiste in un semplice amplificatore di carica, realizzato con transistor MOS. L'uscita dell'amplificatore viene portata verso l'esterno tramite sottili piste, in fig. 1.8 sono visibili i contatti per la lettura nelle zone laterali del rivelatore. A causa del ridotto spazio e della necessità di avere piccola potenza dissipata nella regione del pixel, tutto il rimanente dell'elettronica di front-end, quali shaper e filtri, viene collegata a valle del rivelatore. Il vantaggio rispetto ad un CCD consiste nel poter leggere contemporaneamente i singoli pixel: come sarà spiegato a breve i CCD sono letti facendo una scansione delle righe della matrice di pixel. Lo svantaggio è dato dal fatto che la lettura sul pixel è di tipo binario (acceso-spento) mentre per i CCD è analogica.

1.6.1 Elettronica di front-end per camere a pixel

La sezione di front end di una camera a pixel consiste in un preamplificatore di carica e uno o più discriminatori per determinare i segnali sopra un certo livello di soglia, come illustrato in fig. 1.9

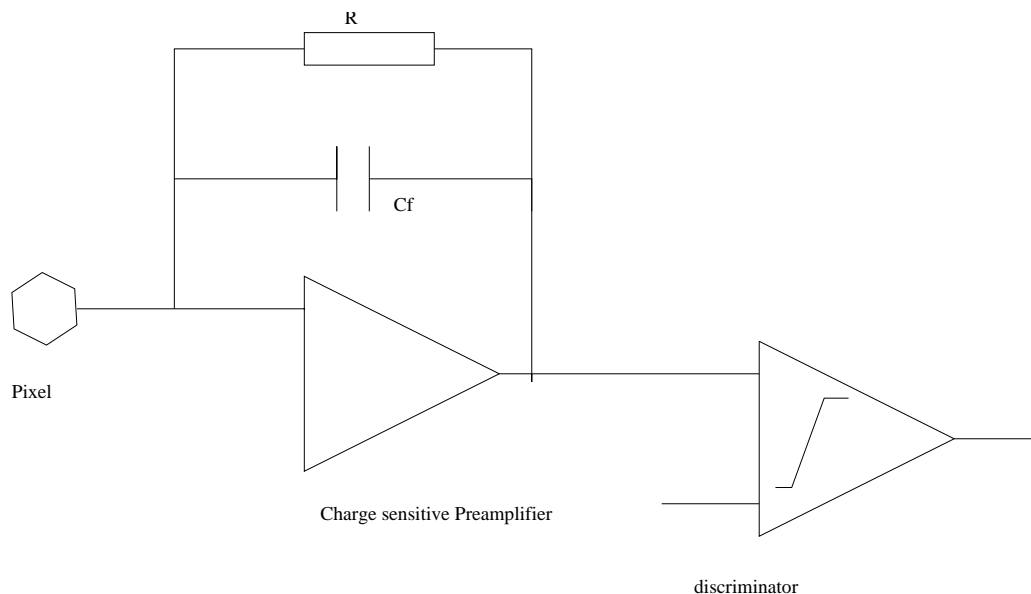


Figura 1.9: *Schema della elettronica di front-end per una camera a pixel*

L'ingresso del preamplificatore è collegato direttamente al pixel, che è in pratica un diodo polarizzato inversamente, attraverso un particolare tipo di collegamento, chiamato "bump bond", localizzato ai bordi dell'area attiva del pixel. La capacità di ingresso vista dal preamplificatore è di circa 200fF compresa la capacità del pixel e le capacità parassite. questo valore è comunque fortemente dipendente dalla geometria del rivelatore [6].

1.7 CCD

I dispositivi CCD (*Charge Coupled Devices*) hanno sostituito negli ultimi tempi i sistemi di visione convenzionali ed hanno numerose applicazioni nei campi scientifici, in particolare astronomici e biomedici, nonché in numerosi ambiti commerciali (telecamere, fotocamere, ecc.).

Un CCD è composto da una matrice rettangolare di capacità MOS, in figura 1.10 è mostrata uno schema della sezione di tali capacità.

La capacità viene costruita partendo da un substrato di tipo p, nel quale viene formata una regione di circa $1 \mu\text{m}$ di tipo n (chiamata canale sepolto).

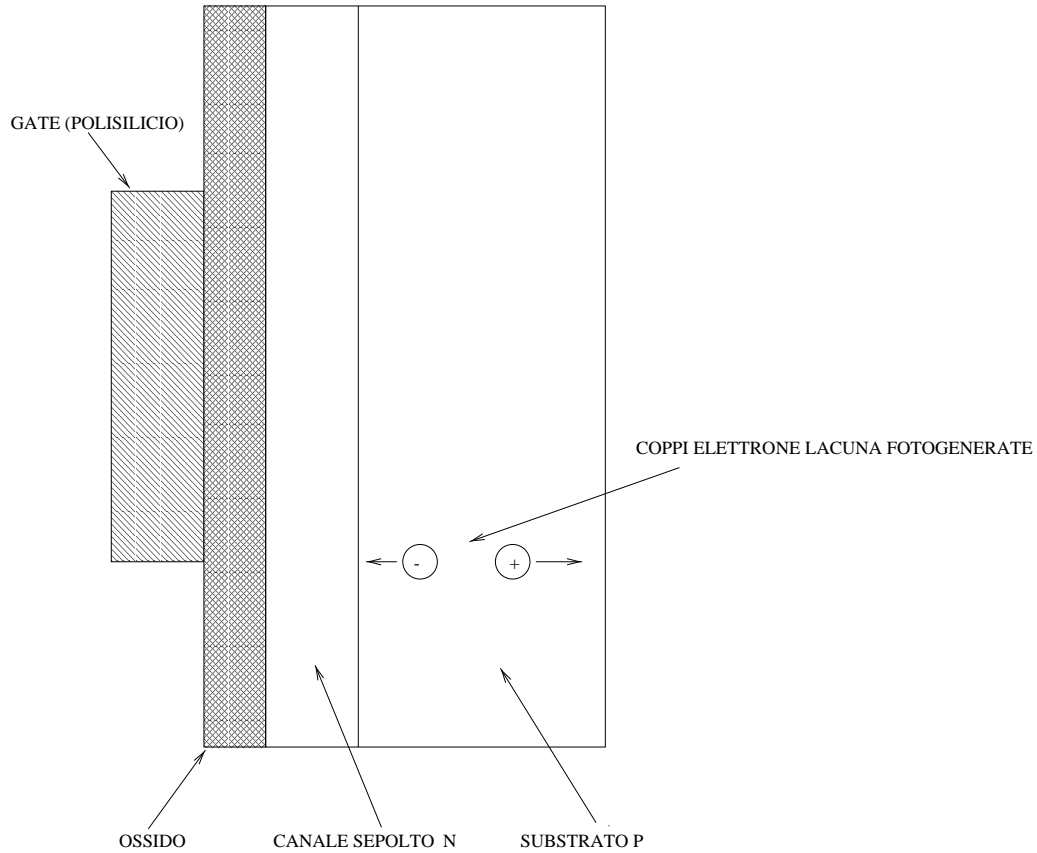


Figura 1.10: *Schema di una capacità MOS*

sopra il silicio viene poi fatto crescere uno strato di biossido di silicio (dielettrico) anch'esso di spessore di circa $1\ \mu\text{m}$. Viene infine depositato un contatto di metallo o di polisilicio (gate). Dalla figura si notano inoltre delle regioni laterali formate da uno strato di ossido più spesso (circa $1.5\ \mu\text{m}$) sopra a una regione di tipo p fortemente drogata. A causa dello spessore dell'ossido e del forte drogaggio, la regione risulta insensibile alla tensione applicata al gate. In questo modo le cariche che si formano nel canale vi rimangono confinate. Un modo ulteriore per confinare le cariche consiste nel posizionare di fianco alla capacità un'altra capacità mantenuta ad un potenziale minore. Questa tecnica sta alla base del funzionamento dei CCD come verrà chiarito tra poco.

In figura 1.11 è illustrato un singolo elemento (pixel) del dispositivo. La figura mostra tre gate in polisilicio orientati perpendicolarmente a due regioni che delimitano i canali dei MOS.

Se il potenziale nell'elettrodo di mezzo è maggiore di quello applicato agli altri due, si verifica un minimo locale di energia potenziale sotto il gate di

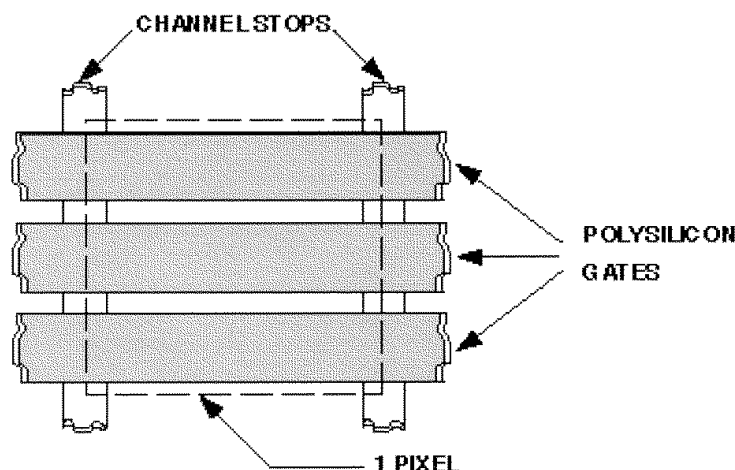


Figura 1.11: *Pixel di un CCD a tre fasi*

mezzo. Quando i fotoni colpiscono il pixel, si creano delle coppie elettrone-lacuna a causa dell'effetto fotoelettrico. Gli elettroni creati nella zona di potenziale minimo verranno raccolti in quel punto, mentre quelli creati nelle regioni che delimitano il canale o nel substrato sotto il pixel, migreranno verso il minimo dove verranno anch'essi raccolti. Le lacune verranno invece raccolte nel substrato. La quantità totale di carica raccolta nel pixel, risulta essere proporzionale alla intensità del flusso di fotoni e del tempo sul quale il pixel è esposto alla luce incidente.

1.7.1 Correnti di buio

Le correnti di buio (*Dark Currents*) sono definite come la carica indesiderata accumulata dai pixel a causa di processi termici che si verificano nel dispositivo a temperature sopra lo zero assoluto. Ad ogni temperatura delle coppie elettrone-lacuna vengono generate casualmente mentre altre si ricombinano. A seconda della posizione in cui vengono generati, alcuni elettroni saranno raccolti dal dispositivo e maschereranno un eventuale segnale. Data la natura casuale della corrente di perdita essa è, per definizione, una sorgente di rumore.

Essendo la corrente di buio funzione della temperatura, può essere ridotta raffreddando il dispositivo. Il tipo di raffreddamento richiesto dipende principalmente dal tempo di integrazione desiderato e dal rapporto segnale-

rumore. I più diffusi sistemi di raffreddamento utilizzano Azoto liquido o celle di Peltier.

La figura 1.12 rappresenta il valore della corrente di perdita espressa in elettroni/pixel/secondo in funzione della temperatura per un pixel di $24\mu m^2$. Le curve sono parametrizzate rispetto alla corrente di perdita espressa in pA/cm^2 alla temperatura di 293 K.

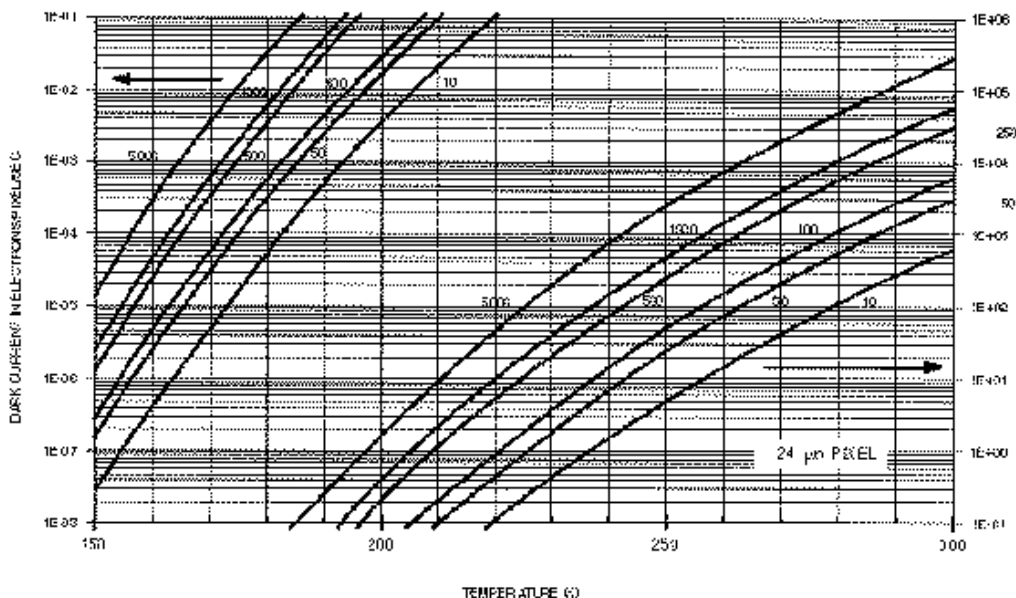


Figura 1.12: *Effetti della temperatura sulla corrente di buio*

1.7.2 Efficienza quantica

L'efficienza quantica (QE) è la misura dell'efficienza con la quale i fotoni incidenti sono rivelati, alcuni dei fotoni incidenti possono non essere assorbiti a causa di riflessioni oppure possono essere assorbiti quando il dispositivo non può raccogliarli. L'efficienza quantica è dunque il rapporto tra il numero di elettroni rivelati e il prodotto del numero di fotoni incidenti per il numero di elettroni che ogni fotone può generare. I fotoni nella banda del visibile generano una coppia elettrone-lacuna mentre, come già indicato precedentemente, negli esperimenti delle alte energie si raggiungono ordini delle decine di migliaia di coppie elettrone-lacuna. L'energia E del fotone incidente espressa in eV è data da:

$$E = \frac{1.24}{\lambda} \quad (1.13)$$

dove λ è la lunghezza d'onda espressa in μm . Per lunghezze d'onda di circa $300 \mu m$ il numero di elettroni raccolti per pixel per secondo N_e , è legato alla densità di potenza ottica d'ingresso P dalla relazione:

$$N_e = 5.03 \cdot 10^{10} P A \lambda \cdot QE \quad (1.14)$$

dove P è la densità di potenza ottica espressa in $\mu W/cm^2$, A è l'area del pixel in cm^2 e QE è l'efficienza quantica in percentuale.

1.7.3 Lettura dell'immagine

Nei CCD l'immagine viene formata attraverso una matrice rettangolare o quadrata di pixel. Una matrice $M \times N$ può essere vista come una serie di M registri lineari di N pixel ciascuno (figura 1.13). Gli M registri lineari sono allineati verticalmente e separati tra loro da regioni di delimitazione del canale. Vi è poi un ulteriore registro lineare di M pixel localizzato sotto il dispositivo e messo in modo tale che ad ogni suo pixel corrisponda ad uno degli M registri, ed è terminato da un amplificatore di carica.

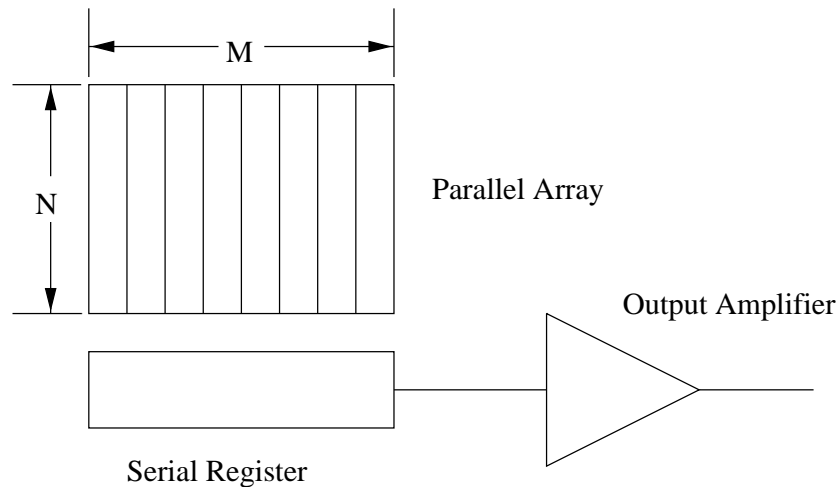


Figura 1.13: *Schema a blocchi di un dispositivo CCD*

La lettura dell'immagine consiste nello scorrimento, nel senso verticale della figura, delle cariche immagazzinate dai pixel in modo sincronizzato. Ad ogni step M pixel vengono raccolti dal registro lineare il quale trasferisce serialmente l'informazione all'amplificatore di carica. Si ottiene così una

stringa di valori dalla quale è possibile ricostruire l'immagine. Il trasferimento della carica nei registri avviene modificando opportunamente le tensioni di polarizzazione dei gate che compongono il pixel. Facendo riferimento alla figura 1.11, si supponga che la carica sia stata raccolta nel gate di mezzo P_2 . Portando la tensione di uno dei gate adiacenti (ad esempio P_3 alla stessa tensione del gate P_2 , si ottiene che P_3 non è più una barriera per le cariche e parte di queste fluiscono sotto il gate di P_3 . Portando P_2 ad una tensione più bassa di P_3 le cariche erano rimaste sotto P_2 si muovono velocemente sotto P_3 . Si è così ottenuto un trasferimento della carica, questo processo prende il nome di accoppiamento di carica che dà il nome al dispositivo.

Come già accennato i CCD trovano numerosi impieghi pratici in quanto la carica raccolta sotto i MOS può essere generata otticamente, iniettata elettricamente o generata da particelle ad alta energia. A seconda degli impieghi vengono utilizzate diverse architetture costruttive per eliminare gli effetti di assorbimento dati dallo strato di ossido. Un problema che si incontra utilizzando un CCD è dovuto al relativamente alto tempo di lettura, nel quale il dispositivo rimane attivo. Un espediente usato in alcune applicazioni è quello di usare due CCD sovrapposti letti in maniera opposta l'uno rispetto all'altro e interpolando le due immagini ottenute. Solamente le parti di immagine comune ai due sensori saranno quelle effettivamente cercate.

1.8 Fotodiodi

I fotodiodi sono una famiglia di diodi costruita in modo tale da renderli particolarmente sensibili all'effetto fotoconduttivo. I fotodiodi trovano impiego nel campo delle telecomunicazioni, dove vengono impiegati come ricevitori al termine dei collegamenti a fibre ottiche. Nel capitolo 5 verrà accennato un ulteriore impiego di questi dispositivi, vale a dire come misuratori di luminescenza in una particolare reazione chimica per l'analisi delle molecole del DNA.

In fig. 1.14, è rappresentato lo schema di un fotodiodo.

1.8.1 Generalità sui fotodiodi

È noto che la caratteristica corrente-tensione di una giunzione pn ha un comportamento non ohmico e passa per l'origine degli assi (fig. 1.15).

Facendo sempre riferimento alla fig. 1.15, illuminando il fotodiodo in corrispondenza della giunzione, la curva caratteristica trasla verso il basso. La curva a tratto pieno si riferisce al dispositivo nel buio, mentre quella trat-

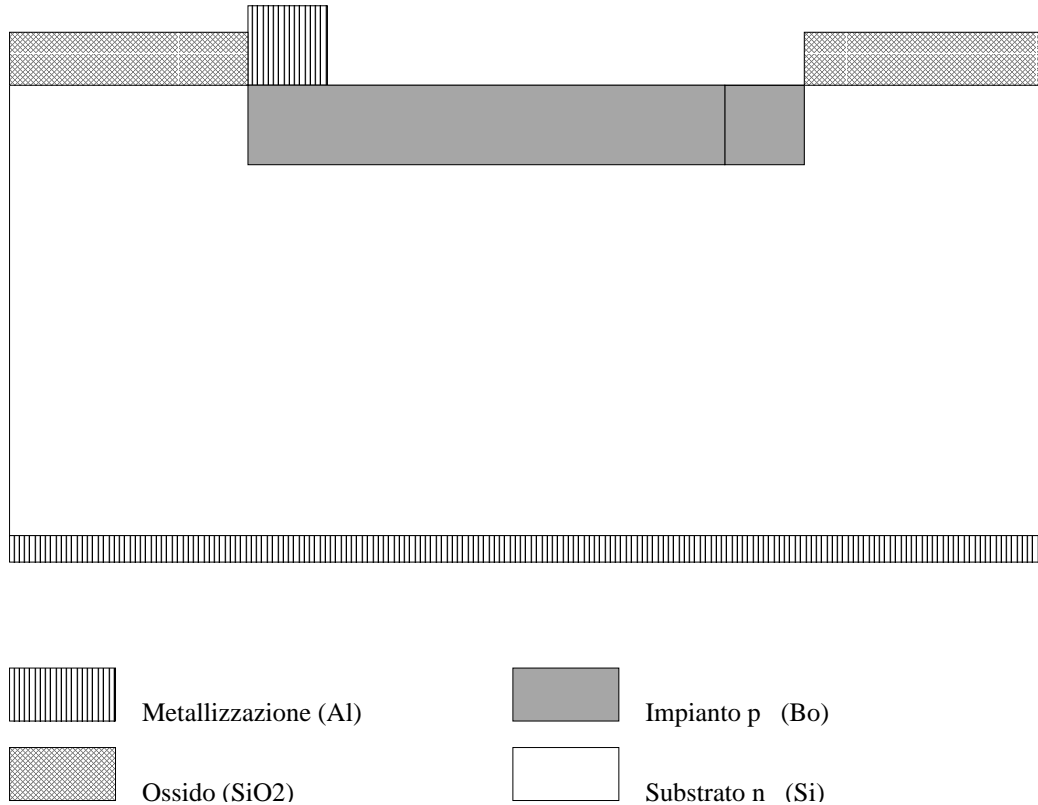


Figura 1.14: *Schema a di un fotodiode*

teggiate al dispositivo illuminato. Il fotodiode può essere utilizzato in due modalità:

- come *dispositivo fotoconduttore*
- come *dispositivo fotovoltaico*

Come dispositivo fotoconduttore, il fotodiode è polarizzato inversamente e la tensione di uscita viene sviluppata ai capi di una resistenza di carico R_L in serie (fig. 1.16).

Come dispositivo fotovoltaico, il fotodiode è usato per convertire la potenza raggianti direttamente in potenza elettrica. Il funzionamento fotoconduttivo corrisponde al terzo quadrante della figura (fig. 1.15), mentre il quarto quadrante corrisponde al funzionamento fotovoltaico.

Prendendo in considerazione il funzionamento fotoconduttivo, le curve del terzo quadrante vengono, per comodità, ruotate di 180° come mostrato in fig. 1.17.

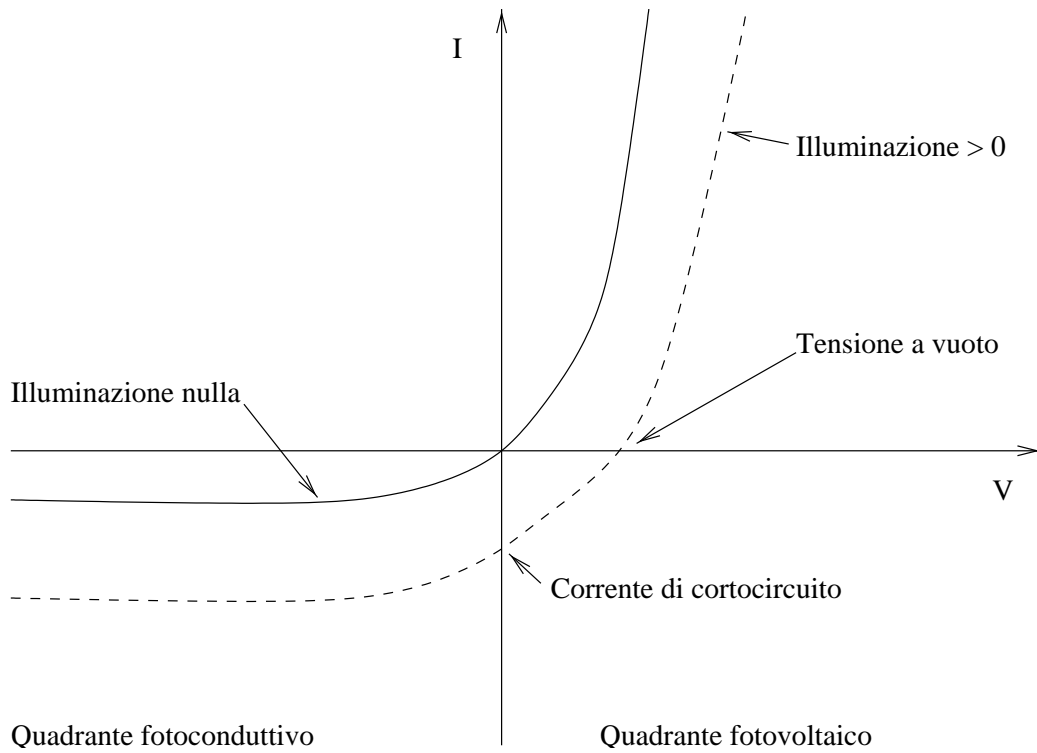


Figura 1.15: *Caratteristica Corrente-Tensione di un fotodiode*

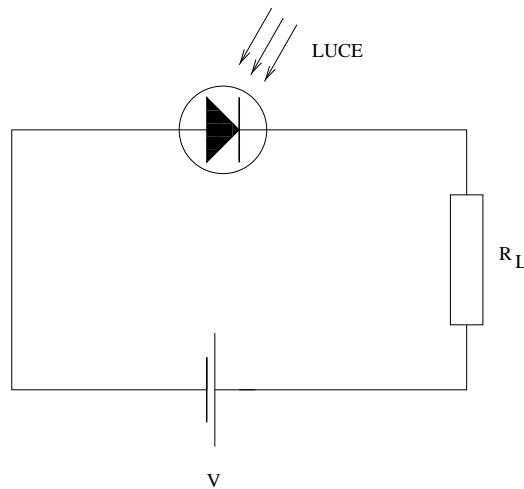


Figura 1.16: *Circuito per il funzionamento in modo fotoconduttivo*

La luce incidente genera nella zona di svuotamento delle coppie elettrone-lacuna che vengono separate dal campo elettrico che si forma alla giunzione e spinte in direzione opposte, generando una fotocorrente dello stesso verso

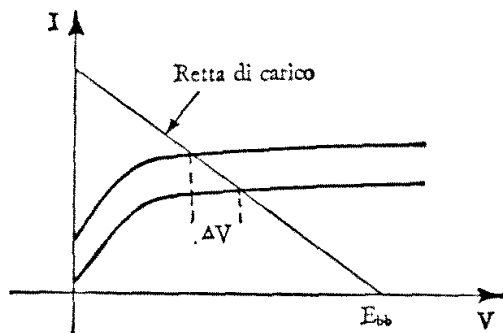


Figura 1.17: *Curva caratteristiche di un fotodiode in funzionamento fotoconduttivo*

della corrente di polarizzazione inversa del diodo e proporzionale all'intensità del flusso luminoso incidente. La corrente che attraversa il fotodiode sarà dunque data da:

$$I_D = I_0 + I_F \quad (1.15)$$

dove I_F è la fotocorrente, mentre I_0 rappresenta la corrente di polarizzazione inversa.

La corrente in un fotodiode polarizzato inversamente dipende dalla diffusione dei portatori minoritari verso la giunzione. Se la radiazione luminosa viene focalizzata in una piccola area lontano dalla giunzione, i portatori minoritari iniettati possono, prima di diffondere verso la giunzione, ricombinarsi tra loro dando origine ad una corrente minore di quella che si avrebbe se i portatori minoritari venissero iniettati nei pressi della giunzione. La fig. 1.18 mostra l'andamento della corrente in funzione della distanza dalla giunzione del punto d'incidenza dei fotoni; la variazione della corrente ha andamento esponenziale decrescente al crescere della distanza. Si noti che la curva è asimmetrica a causa dei diversi valori delle mobilità dei portatori nelle due regioni del fotodiode.

La sensibilità spettrale di un fotodiode dipende dal valore del gap energetico del semiconduttore impiegato. Nei diodi al silicio il punto di massima sensibilità spettrale è situato in corrispondenza delle lunghezze d'onda comprese tra 800 e 900nm. La banda delle frequenze luminose alle quali il fotodiode può rispondere, può essere modificata mediante l'impiego di opportuni filtri.

I tempi di commutazione sono tipicamente dell'ordine delle centinaia di nano secondi, ma si possono raggiungere tempi 10 volte inferiori.

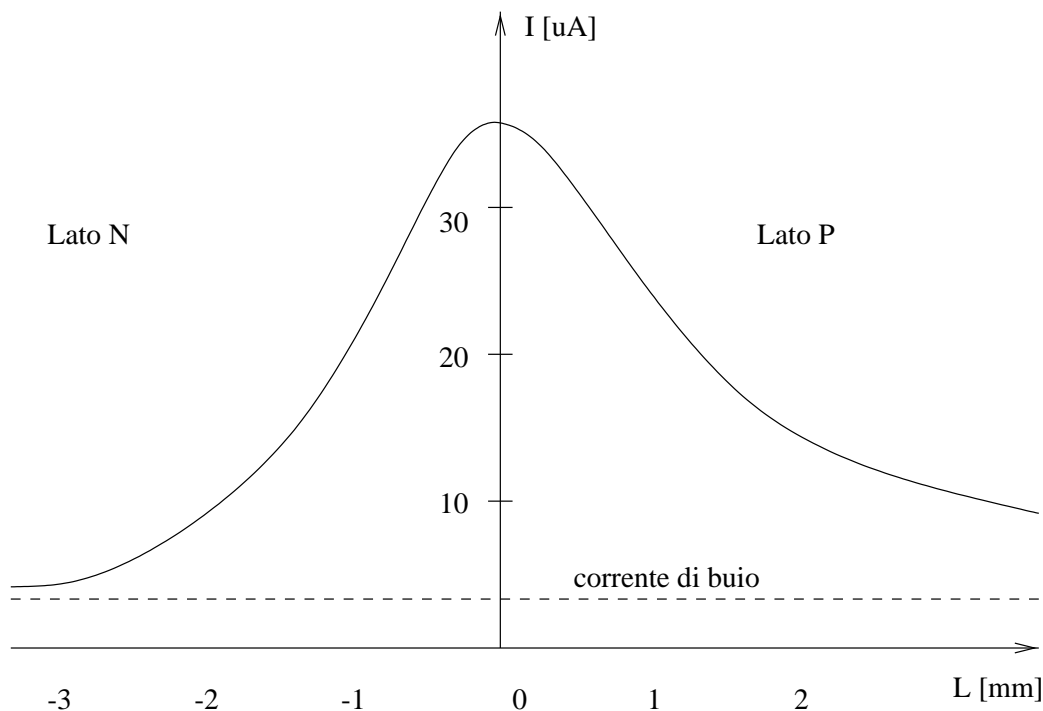


Figura 1.18: *Corrente in un fotodiode in funzione della distanza del punto di incidenza della luce dalla giunzione*

1.8.2 Elettronica di front-end per i fotodiode

Le configurazioni piú utilizzate nell'elettronica di lettura di un fotodiode sono quelle di amplificatore di corrente e di integratore di corrente, rappresentate rispettivamente in fig. 1.19 e fig. 1.20.

Il funzionamento di questi circuiti è del tutto simile a quello descritto per gli amplificatori dei rivelatori a deriva e microstrip, si rimanda pertanto al relativo paragrafo per una descrizione dettagliata.

I due circuiti qui illustrati operano in modo lineare, in letteratura esiste una ulteriore possibilità di configurazione, illustrata in fig. 1.21. Il diode non è polarizzato e l'amplificatore deve essere con elevata impedenza di ingresso. In questo caso la risposta del sistema è di tipo logaritmico, e piú precisamente:

$$V_{OUT} = \left(1 + \frac{R_2}{R_1}\right) \cdot \frac{kT}{q} \cdot \ln \left(1 + \frac{I_P}{I_S}\right) \quad (1.16)$$

dove:

$$I_S = I_F \left(e^{\frac{qV}{kT}} - 1\right)^{-1} \quad (1.17)$$

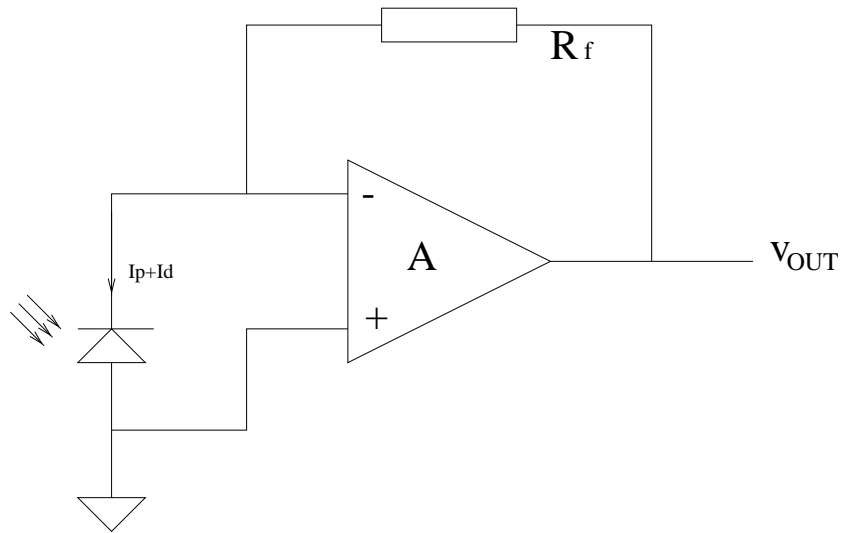


Figura 1.19: *Amplificatore di corrente per fotodiodi*

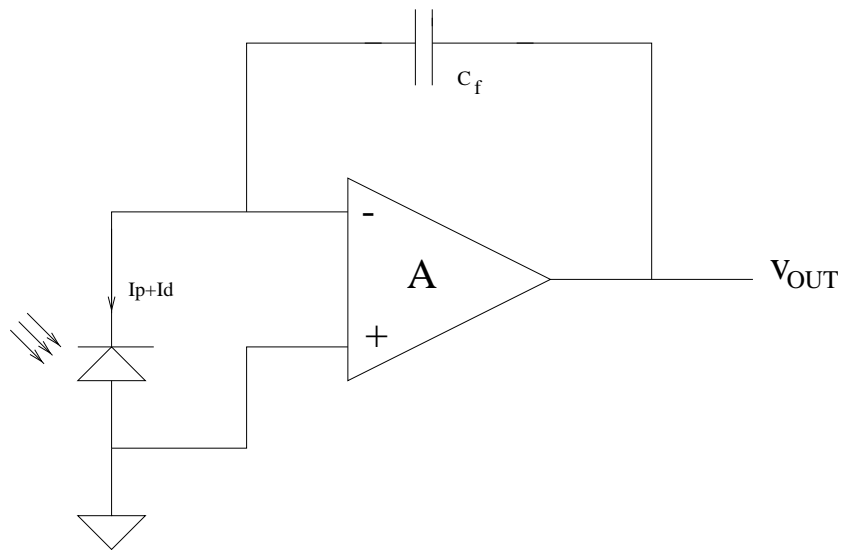


Figura 1.20: *Amplificatore di carica per fotodiodi*

con $0 < I_F < 0.1\text{mA}$.

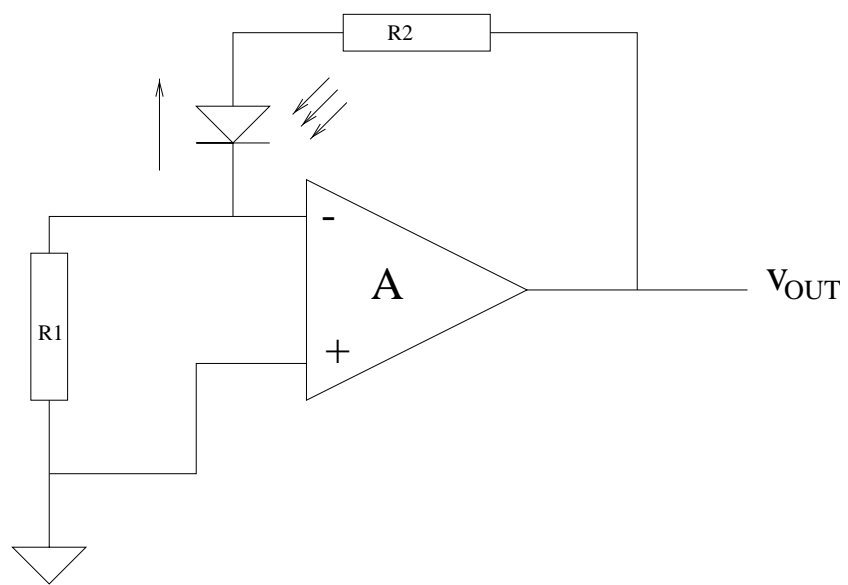


Figura 1.21: *Amplificatore logaritmico per fotodiodi*

Capitolo 2

Il rumore nei dispositivi elettronici

2.1 Definizione

Nella trattazione dei circuiti elettronici viene definito come rumore qualsiasi disturbo indesiderato che interferisce, al limite mascherandolo, con un segnale di nostro interesse.

A seconda della sua origine si distinguono due famiglie di rumore:

- Rumore per interferenza o rumore esterno, che è solitamente provocato da interferenze del mondo esterno sul dispositivo.
- Rumore intrinseco, che viene generato internamente dal dispositivo

Nei prossimi paragrafi vengono considerati le principali tipologie di rumore che interessano i circuiti elettronici. Vengono inoltre discussi i modelli di rumore per il transistor MOS e gli amplificatori operazionali ed infine vengono elencate alcune regole da utilizzare nella progettazione e nella catena di misura dei circuiti elettronici.

2.2 Rumore per interferenza

Definiamo il rumore per interferenza come il rumore provocato da una indesiderata interazione fra il circuito e il mondo esterno, oppure fra parti diverse del circuito [9]. L'interazione può essere di tipo elettrico, magnetico o elettromagnetico. Le interferenze di tipo elettrico e magnetico vengono causate da accoppiamenti di tipo capacitivo e induttivo del circuito con gli elementi di disturbo, mentre le interferenze di tipo elettromagnetico sono

conseguenza del fatto che ogni filo o pista può rappresentare una potenziale antenna. Quest' ultima fonte di interferenza è diventata sempre più importante negli ultimi anni a causa del costante aumento di velocità dei dispositivi. È ormai prassi sottoporre i dispositivi elettronici, specialmente digitali, che devono operare in vicinanza di altri circuiti a test di compatibilità elettromagnetica. La Compatibilità Elettromagnetica (EMC) è la capacità di un circuito di operare correttamente nel suo ambito elettromagnetico, solitamente le prove di EMC consistono nel misurare le emissioni del circuito e nel verificare la funzionalità del circuito quando viene sottoposto a forti impulsi elettromagnetici.

Non vanno trascurate inoltre le fonti di disturbo iniettate dalle alimentazioni e dai percorsi di massa. Da quanto finora detto risulta evidente come nella progettazione di un circuito sia importante non soltanto la sua immunità al rumore ma che esso stesso non sia fonte di rumore. Le tecniche per eliminare le interferenze sono diverse, elenchiamo alcune delle più importanti:

- Schermatura del circuito
- Cura dei percorsi di massa
- Filtraggio delle alimentazioni

È evidente come queste metodologie siano più efficaci quando considerate nelle prime fasi di progettazione, possibilmente già in fase di simulazione. Il costo in tempo e denaro per la soppressione delle interferenze ha andamento crescente nei vari stadi di progetto, tuttavia una soluzione unica non esiste e spesso vanno ricercati dei compromessi.

In generale è possibile scomporre il sistema disturbato nei seguenti componenti:

- Una sorgente di rumore
- Un canale di accoppiamento
- un ricevitore soggetto al disturbo

Per analizzare correttamente il sistema occorrerebbe utilizzare le equazioni di Maxwell che purtroppo presentano l'inconveniente di non essere facilmente risolvibili in casi non banali. Si ricorre quindi alla tradizionale analisi dei circuiti facendo le seguenti semplificazioni:

- tutti i campi elettrici sono confinati all'interno delle capacità e tutti i campi magnetici sono confinati all'interno delle induttanze

- le dimensioni del circuito sono piccole in confronto alle lunghezze d'onda considerate.

I segnali di interferenza si accoppiano al circuito attraverso numerosi percorsi, ci limitiamo a citare alcuni casi di particolare interesse. Un primo tipo di accoppiamento, principalmente capacitivo, è quello che avviene attraverso i conduttori che scorrono parallelamente. Una fonte disturbo sovente trascurata è appunto quella data dai fili delle alimentazioni, che di solito non sono schermati e hanno lunghezze considerevoli. Un sistema che può efficacemente ridurre l'interferenza consiste nell'intrecciare i fili di alimentazione oppure utilizzare un cavetto schermato [10]. Una ulteriore fonte di disturbo portato dalle alimentazioni è dovuto alla frequenza di rete (50 Hz) che non viene del tutto filtrata dall'alimentatore. Per risolvere il problema è opportuno inserire lungo la linea di alimentazione un filtro a “pi greco” come quello illustrato in fig. 2.1, oppure stabilizzatori di tensione commerciali, quali la serie 78. Nei casi di applicazione a bassissimo rumore è opportuno utilizzare batterie per generare le alimentazioni.

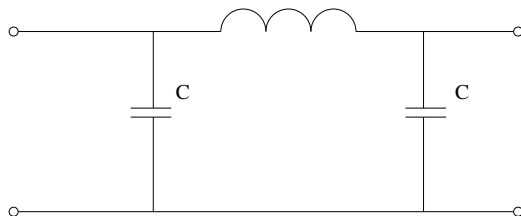


Figura 2.1: *Filtro a “Pi Greco”*

Un'altra strada per la quale il disturbo si accoppia, è quella dell'accoppiamento tramite un'impedenza comune. Questo tipo di interferenza si verifica quando le correnti di due circuiti fluiscono verso massa attraversando una impedenza comune (idealmente nulla), come illustrato in fig. 2.2. Se si considera il circuito 1, il suo potenziale di massa risulterà modulato dalla corrente di massa del circuito 2.

2.3 Rumore intrinseco

Pur eliminando tutte le fonti di rumore esterno, qualsiasi circuito elettronico è intrinsecamente una sorgente di rumore. La causa va ricercata nelle proprietà fisiche e nelle eventuali imperfezioni dei materiali utilizzati nella costruzione del dispositivo. A causa della sua natura, il rumore intrinseco è un segnale totalmente casuale composto da componenti casuali sia nella ampiezza che

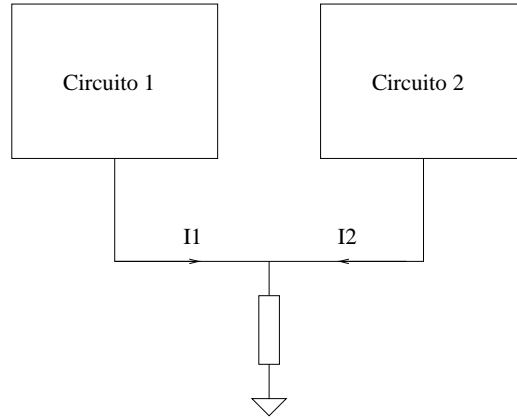


Figura 2.2: *Accoppiamento tramite impedenza comune*

nella fase. Nonostante sia possibile calcolarne un valore efficace su tempi lunghi, non è determinabile il valore istantaneo. Conoscendo la funzione di distribuzione del rumore è possibile prevedere la probabilità con cui il rumore misurato avrà una specifica ampiezza in un preciso istante temporale. Molte tipologie di rumore presentano una distribuzione delle ampiezze istantanee nel tempo di forma Gaussiana. Ricordiamo che la funzione di distribuzione Gaussiana è data da:

$$f(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{(x-\mu)^2}{2\sigma^2}} \quad (2.1)$$

dove μ è il valor medio del segnale di rumore e σ è la deviazione standard (rms), che nel nostro caso coincide con il valore efficace. Nelle prossime sezioni vengono descritte le grandezze comunemente utilizzate nella trattazione del rumore. Salvo quando esplicitamente dichiarato, verrà utilizzato il termine rumore per indicare il rumore intrinseco.

2.3.1 Rapporto segnale-rumore

Definiamo il rapporto segnale-rumore (*Signal-to-Noise Ratio*, S/N) come il rapporto espresso in decibel fra il valore efficace del segnale ed il valore efficace del rumore presente [9]. Il rapporto S/N è un indice della qualità del segnale in presenza di rumore, difatti al diminuire del rapporto diventa sempre più difficile discriminare il segnale utile dal rumore. Nonostante sia possibile recuperare parte del segnale utilizzando sistemi di filtraggio (hardware o software) e operazioni di media, il guadagno di segnale ottenuto va in generale a discapito di altre prestazioni del sistema, quali ad esempio la

banda passante. È sempre preferibile mantenere il rapporto segnale-rumore il più alto possibile compatibilmente con gli altri vincoli del circuito.

2.3.2 Valori Efficaci

La definizione di valore efficace è basata sull'effetto di riscaldamento equivalente. Dato un segnale sinusoidale applicato su un carico, si definisce valore efficace del segnale il valore in continua che dissipa sul carico la stessa potenza dissipata dal segnale in esame. Il valore efficace E_n per una tensione di rumore $e_n(t)$ è definito come:

$$E_n = \sqrt{\frac{1}{T} \int_0^T e_n^2(t) dt} \quad (2.2)$$

Dove T è un opportuno intervallo di tempo in cui viene eseguita la media. Analogamente si può definire il valore efficace per una corrente di rumore come:

$$I_n = \sqrt{\frac{1}{T} \int_0^T i_n^2(t) dt} \quad (2.3)$$

I valori al quadrato delle quantità sopra definite, E_n^2 e I_n^2 sono detti *medie quadratiche*. Analogamente al caso di segnali sinusoidali essi rappresentano la potenza media dissipata dal segnale di rumore in una resistenza da 1Ω .

Per avere un'opportuna valutazione dei valori efficaci la (2.2) e la (2.3) dovrebbero essere riferite a tempi molto lunghi, in linea di principio per T che tende ad infinito.

2.3.3 Rumore Termico o “bianco”

Il rumore termico è causato dall'agitazione termica dei portatori di carica nei conduttori. Il moto dei portatori di carica è simile al moto “Browniano” delle particelle da cui difatti è stato formalizzato teoricamente. In tutti i conduttori a temperature superiori allo zero assoluto gli elettroni sono in moto con direzione casuale e velocità direttamente proporzionale alla temperatura del materiale. Anche se la corrente media nel conduttore risultante da questo moto è nulla, vi è una fluttuazione istantanea della corrente.

Si noti che il rumore termico, a causa della sua natura, non è mai eliminabile ed è presente anche quando un dispositivo non è alimentato.

Definiamo la *potenza di rumore disponibile* N_t in un conduttore come

$$N_t = kT\Delta f \quad (2.4)$$

dove k è la costante di Boltzmann ($1.38 \cdot 10^{-23}$ J/K), T è la temperatura del conduttore in gradi Kelvin, e Δf è la *banda di rumore*, descritta in seguito, del circuito espressa in Hz.

Alla temperatura di 17°C (290K) ,per un sistema con banda passante di 1 Hz , dalla (2.4) si ottiene $N_t = 4 \cdot 10^{-21}$ W. Se riferito a 1 W si ottiene $N_t = -204$ dB. Spesso viene utilizzato come riferimento il valore di 1 mW e l'unità di misura viene indicata in dB_m. Ricalcolando il valore sopra ottenuto in dB_m si ottiene:

$$N_t = 10 \log_{10} \left(\frac{4 \cdot 10^{-21}}{10^{-3}} \right) = -174 \text{ dB}_m \quad (2.5)$$

Questo valore viene indicato nella letteratura come *noise floor* o minimo livello di rumore , in pratica non è possibile ottenere un valore più basso a meno di non abbassare la temperatura. Si noti che nella (2.4) la potenza di rumore non dipende dalla banda-passante, ciò equivale a dire che la potenza di rumore è distribuita uniformemente nel dominio delle frequenze. Per analogia con i fenomeni elettromagnetici questo tipo di rumore viene anche indicato come rumore *bianco*.

Di solito è più comodo esprimere il rumore in termini di tensione di rumore piuttosto che potenza di rumore. Se si considera il circuito in figura (2.3), viene definito come potenza di rumore disponibile la potenza che può essere fornita da una sorgente resistiva quando alimenta un carico resistivo ideale privo di rumore di valore uguale alla resistenza della sorgente.

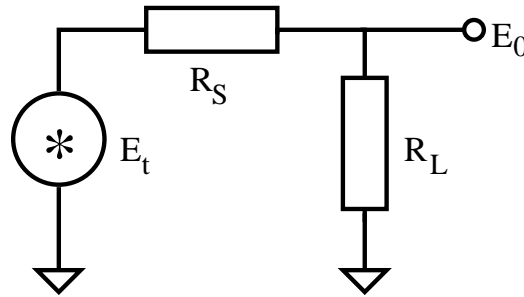


Figura 2.3: *Determinazione della tensione di rumore*

Si avrà dunque $R_S = R_L$ e $E_0 = E_t/2$ sarà il valore di tensione efficace. La potenza fornita a R_L è data da N_t , applicando la relazione $N = v^2/R$ e la 2.4 si ottiene:

$$N_t = \frac{E_0^2}{R_L} = \frac{E_t^2}{4R_L} = \frac{E_t^2}{4R_S} = kT\Delta f \quad (2.6)$$

Risolvendo la (2.6) per la tensione efficace di rumore termico per una resistenza $R = R_S$ si ottiene:

$$E_t = \sqrt{4kTR\Delta f} \quad (2.7)$$

dove R è la resistenza o la parte reale dell'impedenza del conduttore. In realtà l'espressione più corretta per il rumore termico sarebbe data da:

$$E_t^2 = 4kTRp(f)df \quad (2.8)$$

dove $p(f) = (hf/kT)(e^{hf/kT} - 1)^{-1}$ è il fattore di Planck e h è la costante di Planck. Il fattore di Planck viene tuttavia trascurato in quanto $hf/kT \ll 1$ a temperatura ambiente per frequenze nella banda delle microonde, e quindi nella maggior parte delle applicazioni si ottiene $p(f) = 1$.

L'equazione (2.7) è molto importante nell'analisi del rumore, essa infatti esprime il limite minimo di rumore a cui si può arrivare nella progettazione di un circuito. Nei prossimi paragrafi verrà mostrato come il rapporto segnale-rumore e la figura di rumore in un amplificatore, sono misure del rumore che il circuito aggiunge al rumore termico.

In questo paragrafo è stato mostrato come in ogni conduttore esista una corrente variabile nel tempo e vi sia della potenza disponibile. Va però notato che la potenza di rumore qui definita non deve essere considerata come una sorgente di potenza. Si potrebbe pensare di utilizzare una sorgente di rumore per alimentare un circuito, in realtà quando si connette una sorgente di rumore ad un carico quello che si ottiene è un trasferimento delle potenze da un dispositivo all'altro. Per esempio se si connettesse una resistenza a temperatura ambiente in parallelo ad una resistenza alla temperatura dello zero assoluto (e quindi priva di rumore), vi sarebbe un trasferimento di potenza dalla resistenza più "calda" a quella più fredda, fino al raggiungimento dell'equilibrio termico, dopodichè non si otterrebbe più alcun trasferimento di potenza.

Il rumore termico è stato il primo ad essere formalizzato, riportiamo alcune grandezze disponibili in letteratura [8] quali il numero statisticamente aspettato di massimi al secondo tra f_1 e f_2 :

$$\left[\frac{3(f_2^5 - f_1^5)}{5(f_2^3 - f_1^3)} \right]^{1/2} \quad (2.9)$$

e il numero aspettato di passaggi per lo zero al secondo:

$$\left[\frac{4(f_2^2 + f_1 f_2 + f_1^2)}{3} \right]^{1/2} \quad (2.10)$$

2.3.4 Banda di rumore

Nel precedente paragrafo è stato utilizzato nella (2.4) il concetto di banda di rumore.

Ricordiamo che la banda passante di un circuito è classicamente definita come la differenza tra i due punti nel dominio delle frequenze in cui il segnale ha subito una attenuazione di 3dB rispetto al valore di riferimento. Una tale riduzione rappresenta una perdita di potenza pari al 50% e una attenuazione della tensione del segnale di 0.707 rispetto al livello di riferimento.

Se si considera la densità spettrale di potenza in funzione della frequenza, $G(f)$ di un circuito (Fig. 2.3.4) si avrà che la potenza totale P del circuito sarà data da:

$$P = \int_0^{\infty} G(f)df \quad (2.11)$$

Trattandosi di una entità fisica, il circuito dovrà avere potenza finita e quindi l'integrale della (2.11) dovrà essere convergente.

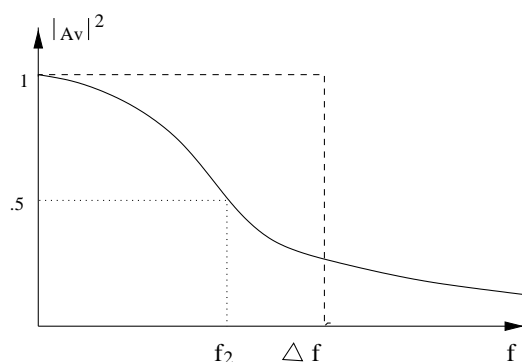


Figura 2.4: *Determinazione della Banda di Rumore*

Sarà quindi possibile trovare un valore della frequenza Δf tale per cui si può definire una curva di densità spettrale equivalente di forma rettangolare data da:

$$P_{eq} = P = G_0 \cdot \Delta f \quad (2.12)$$

dove G_0 è il valore massimo della $G(f)$. Il valore di Δf è detto banda passante di rumore, o banda di rumore, e dalle equazioni (2.11) e (2.12) si ottiene:

$$\Delta f = \frac{1}{G_0} \int_0^{\infty} G(f)df \quad (2.13)$$

Dato che in generale è solamente nota la risposta in frequenza del guadagno in tensione del sistema, e dato che la densità spettrale della potenza è proporzionale al quadrato del guadagno in tensione, è possibile riscrivere la (2.13) come:

$$\Delta f = \frac{1}{A_{v0}^2} \int_0^\infty |A_v(f)|^2 df \quad (2.14)$$

dove $A_{v0}(f)$ è il valore massimo del modulo del guadagno di tensione e $|A_v(f)|^2$ è il quadrato del modulo del guadagno di tensione nel dominio delle frequenze, ovvero il quadrato del modulo del diagramma di Bode. La banda di rumore Δf è quindi il range di frequenze di una curva di guadagno di potenza *rettangolare* la cui area è uguale alla curva di guadagno di potenza effettiva. Si noti come la banda di rumore Δf è sempre maggiore della frequenza di taglio superiore f_2 del sistema.

Si consideri un sistema con risposta in frequenza di tipo passa-basso del primo ordine, la risposta normalizzata del sistema è data da:

$$A_v(f) = \frac{1}{1 + j \frac{f}{f_2}} \quad (2.15)$$

dove f_2 è la frequenza di taglio del sistema e $j = \sqrt{-1}$ è l'unità immaginaria. Il modulo del guadagno è dato da:

$$|A_v(f)| = \frac{1}{\sqrt{1 + (\frac{f}{f_2})^2}} \quad (2.16)$$

Dalla (2.14) si ottiene che la banda di rumore è:

$$\Delta f = \int_0^\infty \frac{df}{1 + (\frac{f}{f_2})^2} \quad (2.17)$$

Per risolvere l'integrale si esegue il seguente cambio di variabili:

$$f = f_2 \tan \theta \quad \text{da cui} \quad df = f_2 (1 + \tan^2 \theta) d\theta$$

I nuovi limiti di integrazione diventano tra 0 e $\pi/2$ e si ottiene:

$$\begin{aligned} \Delta f &= \int_0^{\pi/2} \frac{f_2 (1 + \tan^2 \theta) d\theta}{1 + \tan^2 \theta} \\ \Delta f &= f_2 \int_0^{\pi/2} d\theta = \frac{\pi f_2}{2} = 1.571 f_2 \end{aligned} \quad (2.18)$$

Questo risultato è di particolare interesse per i nostri scopi. Si vedrà infatti nel capitolo (5) che gli amplificatori operazionali da noi progettati

hanno una risposta ad anello aperto di tipo passa-basso del primo ordine. La (2.18) ci permetterà di avere una stima della “rumorosità” del circuito.

Una grandezza comunemente utilizzata nell’analisi del rumore è la *densità spettrale*, essa descrive la quantità di rumore che è contenuta nell’unità di banda di rumore. In generale la densità spettrale è una grandezza dipendente dalla frequenza e viene indicata come $S(f)$ genericamente oppure come $e(f)$ quando riferita a tensioni:

$$S(f) = \frac{E_t^2}{\Delta f} \quad [\text{V}^2/\text{Hz}] \quad (2.19)$$

sostituendo nella relazione (2.19) la (2.7) si ottiene la densità spettrale per una sorgente di rumore termico:

$$S(f) = S = 4kTR \quad (2.20)$$

ciò è una sorgente di rumore termico ha densità spettrale costante, come si era precedentemente accennato.

Quando si misura il rumore, di solito si utilizza il valore efficace della grandezza in esame. Sapendo che si può ottenere la densità spettrale dividendo la media quadratica della tensione per la banda di rumore, la radice quadrata di questa quantità può essere interpretata come la tensione efficace di rumore in 1Hz di banda passante. La radice quadrata della densità spettrale viene comunemente misurata in unità di $V/\sqrt{\text{Hz}}$.

Per ottenere la banda di rumore totale è necessario integrare la funzione densità spettrale sulla banda di frequenze interessate. Si consideri un sistema in cui una resistenza è utilizzata come sorgente di rumore e viene amplificata da un filtro passa-banda attivo ideale. Il rumore efficace totale in uscita è dato da:

$$E_{no}^2 = \int_0^\infty 4kTR \|A_v\|^2 df = 4kTR \int_0^\infty \|A_v\|^2 df$$

$$E_{no}^2 = 4kTRA_{v0}^2 \left[\frac{1}{A_{v0}^2} \int_0^\infty \|A_v\|^2 df \right]$$

$$E_{no}^2 = 4kTRA_{v0}^2 \Delta f \quad (2.21)$$

dove E_{no}^2 rappresenta la media quadratica della tensione di rumore in uscita.

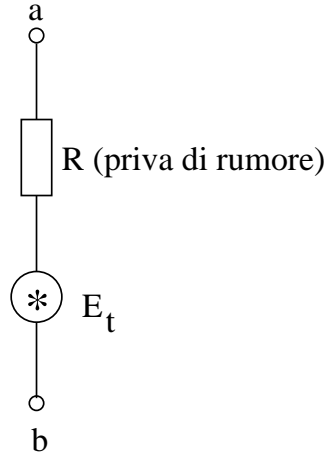


Figura 2.5: *Circuito equivalente per il rumore termico*

2.3.5 Circuiti equivalenti del rumore termico

Per eseguire un'analisi di rumore del sistema ogni elemento che può generare rumore termico viene rappresentato da un circuito equivalente composto da un generatore di tensione di rumore in serie con una resistenza ideale priva di rumore (2.5). Il generatore fornisce una tensione efficace di valore data dalla (2.9), il simbolo “*” indica che il generatore è utilizzato esclusivamente come sorgente di rumore. Utilizzando il teorema di Norton il circuito equivalente può essere sostituito con un generatore di corrente di rumore in parallelo con una resistenza ideale priva di rumore. Il valore efficace del generatore di corrente risulta essere:

$$I_t = \sqrt{\frac{4kT\Delta f}{R}} = \sqrt{4kTG\Delta f} \quad (2.22)$$

dove $G = 1/R$ è la conduttanza in Siemens.

Se un voltmetro ideale con impedenza d'ingresso infinita e rumore nullo viene connesso al circuito sopra esposto, è possibile misurare la tensione di rumore termico. Tuttavia un voltmetro reale è anch'esso affetto da rumore e quindi una misura diretta risulta generalmente impossibile.

In letteratura vengono usualmente utilizzate le lettere E e I per rappresentare le grandezze di rumore, mentre la lettera V è riservata alle tensioni di segnale.

Si noti che non viene indicata polarità nelle sorgenti in quanto la sorgente stessa non ha una fase definibile.

2.3.6 Somma di tensioni di rumore

Ricordiamo che quando due segnali di eguale ampiezza e con uguale frequenza e fase vengono sommati, il segnale risultante avrà ampiezza doppia. Se, invece, la loro fase differisce di 180° , la risultante sarà nulla.

Se due segnali sinusoidali a frequenze diverse e ampiezza efficace V_1 e V_2 sono sommati la risultante efficace avrà ampiezza pari a $(V_1^2 + V_2^2)^{1/2}$.

I generatori equivalenti di rumore presentano un gran numero di componenti di frequenza con una distribuzione casuale di ampiezze e fasi. Se due generatori di rumore indipendenti sono connessi in serie, non sarà possibile sommare linearmente i due segnali, sarà invece necessario utilizzare la somma efficace. La somma efficace di due tensioni di rumore è data dalla relazione:

$$E = \sqrt{E_1^2 + E_2^2} \quad (2.23)$$

2.3.7 Rumore $\frac{1}{f}$ o “rosa”

Il rumore a bassa frequenza o $1/f$ gode di alcune proprietà peculiari che verranno presentate nel seguente paragrafo. La densità spettrale di questo tipo di rumore risulta essere direttamente proporzionale all'inverso della frequenza, da cui il nome di rumore $1/f$. Per analogia con i fenomeni luminosi un'altra definizione diffusa è quella di rumore “rosa”, per indicare che il suo contributo diventa significativo quando si considerano basse frequenze. Altre definizioni che si possono trovare in letteratura sono: rumore “flicker”, rumore di contatto, rumore di semiconduttore e rumore di eccesso. Attualmente questa tipologia di rumore è stata osservata fino a frequenze dell'ordine dei 10^{-5} Hz.

La potenza di rumore ha un andamento del tipo $1/f^\alpha$ con α tipicamente compreso tra 0.8 e 1.3. La causa principale di questo tipo di rumore nei dispositivi a semiconduttore è riconducibile alla generazione e ricombinazione dei portatori di carica sulla superficie del materiale e nelle interfacce ossido-semiconduttore. Il rumore $1/f$ è molto diffuso non solo nei dispositivi elettronici, ma anche nei più svariati sistemi biologici e fisici.

La potenza di rumore, in un determinato intervallo di frequenze, è dato da:

$$N_f = K_1 \int_{f_l}^{f_h} \frac{df}{f} = K_1 \ln \frac{f_h}{f_l} \quad (2.24)$$

dove K_1 è una costante dimensionale e f_h e f_l rappresentano gli estremi della banda di frequenze considerata. Se consideriamo la potenza di rumore

presente in ogni decade di frequenza, tale cioè che $f_k = 10 f_l$, l'equazione (2.24) si semplifica in:

$$N_f = 2.3K_1 \quad (2.25)$$

risulta, quindi, che il rumore $1/f$ ha potenza uguale in ogni decade di frequenza, vale a dire che la potenza nella banda compresa tra 10 e 100Hz è uguale a quella nella banda tra 0.01 e 0.1Hz. La densità spettrale risulta essere:

$$S_f = E_f^2/f \quad (2.26)$$

Supponiamo di avere $1\mu V$ di rumore $1/f$ in una certa decade di frequenze, si avrà che:

$$(1\mu V)^2 = \int_{f_l}^{10f_l} S_f(f)df = \int_{f_l}^{10f_l} \frac{E_f^2 df}{f} = 2.3E_f^2 \quad (2.27)$$

di conseguenza la densità spettrale, per questo esempio, risulterà essere:

$$S_f(f) = \frac{1^2}{2.3f} \quad (2.28)$$

Nonostante la potenza di rumore sia divergente per valori di frequenza che tendono a zero vi sono alcune considerazioni che ne limitano l'andamento. La potenza di rumore per decade di frequenze è costante, ma una decade come quella tra 0.1 e 1Hz è più stretta di quella tra 1 e 10Hz. Inoltre, quando si considera il rumore $1/f$ in un segnale in continua, vi è un limite inferiore della risposta in frequenza dato dal tempo in cui l'alimentatore è acceso.

Un fatto da notare riguardo un dispositivo in continua affetto da rumore $1/f$, è che l'accuratezza della misura non può essere migliorata incrementando il tempo di misura, a differenza del rumore bianco dove l'accuratezza aumenta come il quadrato del tempo di misura.

2.3.8 Rumore “Shot”

Il rumore “shot” è presente nei dispositivi a semiconduttore ed è dovuto alla natura discontinua della corrente che li attraversa.

Si consideri una giunzione pn polarizzata direttamente, essa sarà attraversata da un flusso di elettroni e lacune che trasportano una carica q . Quando i portatori di carica raggiungono gli elettrodi, si otterrà un impulso di corrente. La natura “granulare” della corrente è proprio la sorgente di questo tipo di rumore.

Il valore efficace della corrente di rumore “shot” è data da:

$$I_{sh} = \sqrt{2qI_{DC}\Delta f} \quad (2.29)$$

dove q è la carica dell'elettrone, I_{DC} è la corrente in continua e Δf è la banda di rumore.

Si noti che il rumore "shot" è proporzionale alla radice quadrata della banda di rumore.

Il rumore "shot" è associato a flussi di corrente che attraversano una barriera di potenziale. Questo tipo di barriera esiste in qualsiasi giunzione pn nei dispositivi a semiconduttore. Nei conduttori semplici non si hanno barriere e, di conseguenza, non si ha questo tipo di rumore. Le più importanti barriere sono quelle presenti nella giunzione base-emettitore di un transistor bipolare e nella giunzione gate-source di un transistor ad effetto di campo (JFET). La caratteristica tensione corrente base-emettitore è descritta dall'equazione del diodo [7]:

$$I_E = I_S(e^{qV_{BE}/kT} - 1) \quad (2.30)$$

dove I_E è la corrente di emettitore, I_S è la corrente di saturazione inversa e V_{BE} è la tensione base-emettitore. Si considerino separatamente le due correnti che compongono I_E nella (2.30):

$$I_E = I_1 + I_2 \quad \text{con} \quad I_1 = -I_S \quad I_2 = I_S e^{qV_{BE}/kT} \quad (2.31)$$

La corrente I_1 è causata dall'agitazione termica dei portatori di carica minoritari, mentre la I_2 rappresenta la diffusione dei portatori di carica maggioritari attraverso la giunzione. Ognuna di queste correnti presenta rumore "shot" e, nonostante i versi delle correnti siano opposti, il rumore generato da entrambi non si sottrae ma bensì i valori quadratici medi si sommano. Quando la giunzione è polarizzata inversamente si ha che $I_2 \simeq 0$ e il rumore "shot" di I_1 è dominante. Viceversa, quando la giunzione è fortemente polarizzata direttamente, il rumore "shot" della I_2 è dominante. Quando non vi è polarizzazione, non è presente alcuna corrente esterna e I_1 e I_2 risultano essere uguali ed opposte. Il valor medio quadratico del rumore "shot" diventa il doppio del rumore della corrente di polarizzazione inversa:

$$I_{sh} = 4qI_{DC}\Delta f \quad (2.32)$$

Il circuito equivalente per una sorgente di rumore "shot" è formato da un generatore di corrente che eroga una corrente data dalla (2.29).

Nel caso di una giunzione pn polarizzata direttamente, vi è una resistenza r_e in parallelo al generatore di corrente (fig. 2.3.8), il valore della resistenza

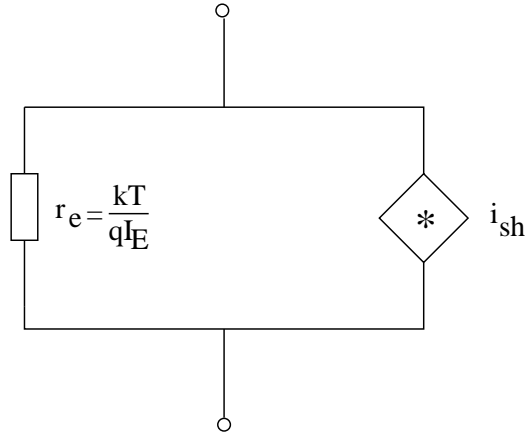


Figura 2.6: *circuito equivalente del rumore “shot” per una giunzione pn polarizzata direttamente*

è ottenibile differenziando la (2.30) rispetto alla V_{BE} . La r_e viene chiamata *resistenza di emettitore Shockley* ed ha valore pari a:

$$r_e = \frac{kT}{qI_E} \quad (2.33)$$

A temperatura ambiente si ha che $r_e = 0.025/I_E$. Va notato che la r_e non è un componente affetto da rumore termico in quanto essa è causata da un effetto dinamico della giunzione e non dalle caratteristiche intrinseche del materiale. La tensione di rumore sarà data dal prodotto della resistenza Shockley per la corrente di rumore:

$$E_{sh} = \frac{kT}{qI_E} \sqrt{2qI_E \Delta f} = kT \sqrt{\frac{2\Delta f}{qI_E}} \quad (2.34)$$

Da cui si nota che la tensione ha andamento inversamente proporzionale alla radice quadrata della corrente che fluisce nella giunzione.

2.3.9 Rumore kT/C

La relazione (2.7) che definisce la tensione di rumore termico, lascia presupporre che un circuito aperto, o meglio con carico resistivo che tende all'infinito, generi una tensione di rumore che tende anch'essa all'infinito. Una situazione simile non può essere mai osservata nella realtà in quanto esiste sempre una capacità parassita C in uscita che regola il comportamento alle alte frequenze. Infatti, all'aumentare del carico resistivo si osserverà insieme all'aumento della tensione di rumore una diminuzione della banda di rumore

dovuta allo spostamento verso frequenze minori del polo introdotto dal termine $R \cdot C$. In fig. 2.7 viene mostrato l'andamento della densità spettrale rispetto al valore di R , l'area sottesa dalle curve risulterà essere costante. Per dimostrarlo supponiamo di misurare con un voltmetro efficace ideale con banda-passante infinita un circuito come quello rappresentato in fig. 2.8. La tensione di rumore totale sarà data da:

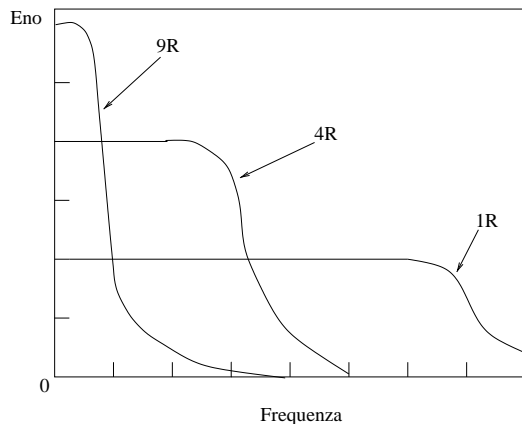


Figura 2.7: densità spettrale del rumore kT/C

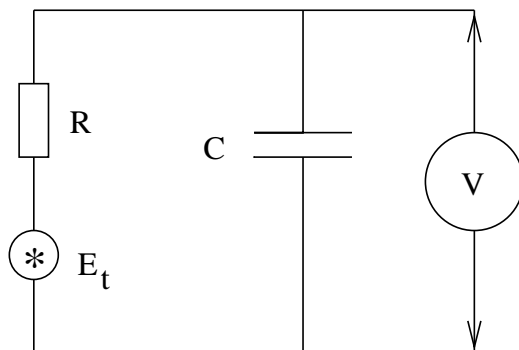


Figura 2.8: Rumore termico di una resistenza in parallelo ad un condensatore

$$E_{n0}^2 = \int_0^\infty E_t^2 \left| \frac{1/j\omega C}{R + 1/j\omega C} \right|^2 df = \int_0^\infty \frac{E_t^2}{1 + (\omega RC)^2} df \quad (2.35)$$

Facendo il seguente cambio di variabili:

$$f = f_2 \tan^2 \theta, \quad f_2 = \frac{1}{2} \pi RC, \quad df = f_2 (1 + \tan^2 \theta)$$

si ottiene:

$$E_{n0}^2 = \int_0^{\pi/2} \frac{E_t^2 f_2 (1 + \tan^2 \theta)}{1 + \tan^2 \theta} d\theta = \int_0^{\pi/2} E_t^2 f_2 d\theta \quad (2.36)$$

Sostituendo per E_t la relazione (2.7) si ha:

$$E_{n0}^2 = \int_0^{\pi/2} 4kTRf_2 d\theta = 2\pi kTRf_2 = \frac{kT}{C} \quad (2.37)$$

Da quest'ultima relazione si vede come il valore efficace sia indipendente dalla resistenza della sorgente e dipenda solo dalla temperatura e dalla capacità.

Esistono altre fonti di rumore intrinseco, quali il rumore a raffica (noto anche come "burst" noise o "popcorn" noise) e il rumore a valanga che non vengono trattati in questo capitolo, si rimanda alla bibliografia per ulteriori approfondimenti.

2.4 Rumore nei circuiti integrati

I circuiti integrati sono particolarmente interessati dal rumore termico e dal rumore $1/f$. In fig. 2.9 è mostrato l'andamento tipico della densità spettrale.

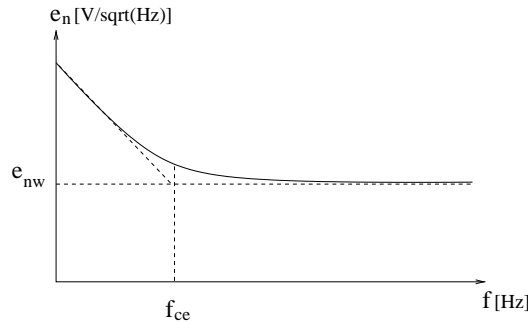


Figura 2.9: *Densità tipiche del rumore nei circuiti integrati*

Alle basse frequenze il rumore predominante sarà di tipo $1/f$ mentre alle alte il rumore sarà prevalentemente di tipo termico. Viene definita *frequenza d'angolo* f_c il valore di frequenza in cui l'asintoto del grafico del rumore $1/f$ interseca il valore del rumore bianco. La densità spettrale in tensione può essere descritta come:

$$e_n^2 = e_{wn}^2 \left(\frac{f_c}{f} + 1 \right) \quad (2.38)$$

dove e_{wn}^2 è la densità spettrale del rumore bianco. introducendo la (2.38) nella (2.2) si ottiene il valore efficace del rumore:

$$E_n = e_{wn} \sqrt{f_c \ln \frac{f_H}{f_L} + f_H - f_L} \quad (2.39)$$

con f_H e f_L rispettivamente le frequenze di tagli superiore ed inferiore. Ancora una volta si noti che E_n tende a zero per f_H che tende a f_L , pertanto una regola importante nella progettazione di dispositivi a basso rumore è quella di mantenere la larghezza di banda al minimo strettamente richiesto.

2.5 Il rumore nei transistor MOS

Ricordiamo che la caratteristica tensione-corrente per un MOSFET nella regione di saturazione è data da [7]:

$$I_d = K_p \left(\frac{W}{L} \right) (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (2.40)$$

dove λ è il parametro di modulazione della lunghezza del canale, V_T è la tensione di soglia, W e L sono rispettivamente larghezza e lunghezza del canale e K_p è il parametro di transconduttanza definito come:

$$K_p = \frac{\mu_0 C_{ox}}{2}$$

con μ_0 la mobilità del canale e C_{ox} la capacità specifica del gate.

In figura 2.10 è rappresentato il circuito equivalente per piccolo segnale di un MOS in configurazione a source comune, nello schema sono incluse le tre principali sorgenti di rumore di un MOS. La I_{ng} rappresenta il rumore “shot” causato dalle correnti di perdita attraverso il biossido di silicio ed è calcolata come:

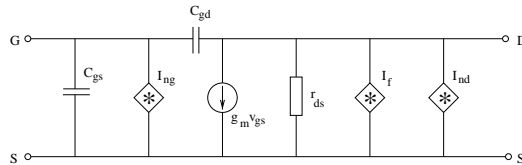


Figura 2.10: *Circuito equivalente in AC per piccolo segnale di un MOSFET*

$$I_{ng}^2 = 2qI_{dc} \quad (2.41)$$

Il rumore termico attraverso il canale tra Source e Drain si manifesta attraverso una corrente I_{nd} calcolata secondo la seguente relazione:

$$I_{nd}^2 = \frac{8kTg_m}{3} \quad (2.42)$$

La relazione sopra riportata equivale alla quantità di rumore che sarebbe prodotta da un resistore puramente ohmico collegato tra source e drain di valore pari a:

$$R_{DRAIN} = \frac{3}{2g_m} \quad (2.43)$$

Infine vi è una terza sorgente di rumore di tipo $1/f$ sempre localizzata nella regione del canale data da:

$$I_f^2 = \frac{K_F I_{DQ}^{A_F}}{f C_{ox} L_{eff}^2} \quad (2.44)$$

dove K_F è il coefficiente di rumore flicker, I_{DQ} è la corrente di drain nel punto di lavoro, A_F è una costante, f è la frequenza e L_{eff} è la lunghezza reale del canale. Nei transistor MOS il rumore $1/f$ è essenzialmente causato da zone di cattura delle cariche presenti nell'ossido del Gate o nell'interfaccia silicio-ossido. Queste regioni catturano e rilasciano cariche dal canale introducendo rumore. La densità di potenza è direttamente proporzionale alla temperatura, mentre decresce all'aumentare dell'area del gate.

La corrente di rumore totale che attraversa il canale sarà data da:

$$I_{no}^2 = I_{nd}^2 + I_f^2 \quad (2.45)$$

definiamo il coefficiente di riflessione come:

$$K_{tr} = \frac{\dot{i}_d(\text{segnale})}{v_{gs}(\text{segnale})} = -g_m \quad (2.46)$$

Possiamo allora definire una tensione di rumore equivalente in ingresso come:

$$E_{ni}^2 = \frac{I_{nd}^2}{g_m^2} + \frac{I_f^2}{g_m^2} = E_n^2 \quad (2.47)$$

da cui sostituendo si ottiene:

$$E_{ni}^2 = \frac{8kT}{3g_m} + \frac{K_F}{2K_p f C_{ox} W L_{eff}} = E_n^2 \quad (2.48)$$

Si noti che il primo termine della (2.48) equivale a una resistenza R_n di valore pari a $2/3g_m$ posta tra Gate e source che produce una tensione di rumore bianco equivalente E_n

2.6 Figura di rumore

Il fattore di rumore (F) è definito nel seguente modo dagli standard IEEE: *Il fattore di rumore di un dispositivo è il rapporto fra la potenza di rumore disponibile in uscita per banda-passante unitaria e la porzione del rumore in uscita causato dalla sorgente effettiva connessa ai terminali di ingresso del dispositivo, misurato alla temperatura di 290K [8].* Trattandosi di un rapporto tra grandezze aventi la stessa dimensione, è possibile esprimere il fattore di rumore in decibel. Il fattore di rumore espresso in decibel prende il nome di *Figura di Rumore*(NF):

$$NF = 10\log F \quad (2.49)$$

La figura di rumore è una misura della degradazione del rapporto segnale-rumore attribuita all'amplificatore. Per un amplificatore ideale, ovvero che non aggiunge rumore al rumore termico prodotto dalla sorgente si ha:

$$F = 1NF = 0\text{dB}$$

2.7 Modello di rumore per gli amplificatori operazionali

Nei precedenti paragrafi si è visto come ogni componente sia una potenziale sorgente di rumore, di conseguenza l'analisi di circuiti complessi quali gli amplificatori, e in particolare gli amplificatori operazionali, richiederebbe una serie di calcoli difficoltosi. Per facilitare l'analisi del rumore viene presentato un modello che utilizza tre sorgenti di rumore in ingresso: un generatore di tensione di densità spettrale e_n e due generatori di corrente di densità spettrale i_{np} e i_{nn} . In letteratura si può trovare che le due sorgenti di corrente vengono inglobate in un'unica sorgente i_n [8], tuttavia esse non sono correlate e quindi bisogna fare attenzione quando si eseguono i calcoli di rumore.

In figura 2.11 è rappresentato il circuito equivalente per un amplificatore operazionale, il circuito rappresentato è del tutto simile a quello utilizzato per il calcolo dell'offset e di altri effetti indesiderati dell'amplificatore reale [7], ciò non deve stupire in quanto anche l'offset può essere considerato come una forma di rumore in continua. Una volta calcolato il valore efficace del

rumore in uscita E_{no} , si potrà determinare il rapporto segnale rumore e quindi la risoluzione effettiva del circuito.

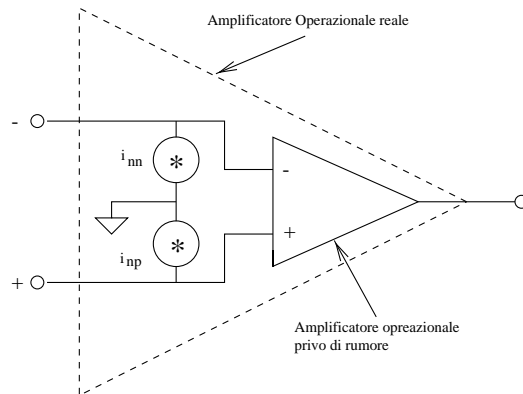


Figura 2.11: *Circuito equivalente di un amplificatore operazionale*

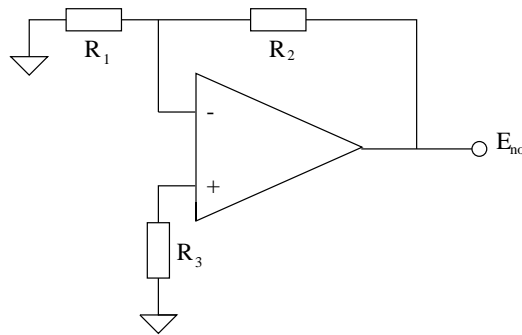


Figura 2.12: *Amplificatore in configurazione a retroazione resistiva*

Per il calcolo di E_{no} si considera un amplificatore operazionale con retroazione negativa di tipo puramente resistivo come illustrato nella figura 2.12. il circuito così configurato rappresenta l'architettura base su cui si basano tutte le tipologie di amplificatore invertente e non. Si assume che le resistenze rappresentate in figura siano comprensive delle resistenze di uscita degli eventuali generatori del segnale utile.

Consideriamo tutte le sorgenti di rumore presenti in tale configurazione (figura 2.13, ivi comprese le sorgenti di rumore termico per i resistori, per semplicità di calcolo vengono usate le sorgenti equivalenti di corrente anzichè quelle di tensioni.

Per prima cosa si determina la densità spettrale complessiva di ingresso e_{ni} . Per il calcolo si procede nello stesso modo che viene utilizzato per il calcolo dell'errore in ingresso dovuto alla tensione di sbilanciamento e alla

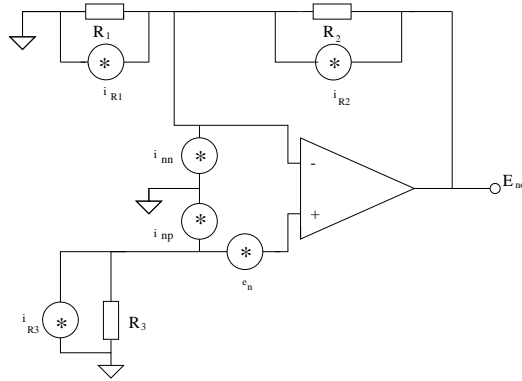


Figura 2.13: *circuito equivalente della fig. 2.12*

corrente di polarizzazione di ingresso dell'amplificatore. La differenza importante consiste che in questo caso i contributi non possono essere sommati algebricamente ma si dovrà utilizzare la somma di valori efficaci descritta dalla (2.23). La tensione di rumore e_n contribuirà con il termine e_n^2 . Le correnti i_{np} e i_R passano attraverso la resistenza R_3 e daranno quindi contributo pari a:

$$R_3^2(i_{np}^2 + i_{R_3}^2)$$

ricordando che la i_{R_3} è una corrente di rumore termico si avrà che il loro contributo sarà riscrivibile come:

$$R_3^2 i_{np}^2 + 4kTR_3$$

Le correnti i_{nn} , i_{R_1} e i_{R_2} attraversano il parallelo formato dalle resistenze R_1 e R_2 e pertanto il loro contributo sarà dato da:

$$\frac{R_1 R_2}{R_1 + R_2} (i_{nn}^2 + i_{R_1}^2 + i_{R_2}^2) = \frac{R_1 R_2}{R_1 + R_2} (i_{nn}^2 + 4kT) = R_n (i_{nn}^2 + 4kT)$$

con

$$\frac{R_1 R_2}{R_1 + R_2}$$

Ponendo $i_{nn} = i_{np} = i_n$ e sommando tutti i contributi si ottiene la relazione per la densità spettrale totale di ingresso:

$$e_{ni} = \sqrt{e_n^2 + (R_3^2 + R_n^2) i_n^2 + 4kT(R_3^2 + R_n^2)} \quad (2.50)$$

Il rumore in ingresso è quindi composto da tre termini:

- una tensione di rumore dovuta ai componenti interni dell'amplificatore

- una corrente di rumore dovuta al passaggio della corrente di polarizzazione d'ingresso attraverso le resistenze esterne. Questo termine è per noi trascurabile in quanto lavorando con transistor MOS la corrente di polarizzazione attraverso gli ingressi è di fatto nulla
- il rumore termico dovuto ai componenti esterni

Nel punto in cui il rumore di ingresso si avvicina alla curva del rumore termico, l'amplificatore si trova in condizioni ottimali dal punto di vista del rumore. In quella zona, infatti, il rumore di ingresso è quasi del tutto provocato dal rumore termico e la figura di rumore raggiunge il suo valore minimo. La resistenza della sorgente di rumore viene determinata come:

$$R_{ottimale} = \sqrt{R_p^2 + R_3^2} = \frac{e_n}{i_n} \quad (2.51)$$

Il rapporto e_n/i_n è detto resistenza caratteristica di rumore.

Nella trattazione esposta si è fatto riferimento ad un generico amplificatore operazionale. Quando si utilizza un operazionale in configurazione invertente è di solito norma porre $R_3 = R_p$ in modo da compensare lo sbilanciamento dello stadio di ingresso, tuttavia inserire una resistenza sul morsetto non invertente comporta l'inserimento di una ulteriore sorgente di rumore termico. Se si è quindi interessati alla realizzazione di dispositivi a basso rumore è preferibile non inserire la R_3 . Nel nostro caso specifico, in cui i circuiti sono costituiti esclusivamente da MOS, questo non comporta alcuno svantaggio in quanto, come già accennato, uno stadio di ingresso MOS, non assorbe corrente dagli ingressi.

Anche il rumore di ingresso verrà riportato in uscita amplificato dal guadagno del circuito A . Supponiamo di utilizzare l'amplificatore in configurazione non invertente, la frequenza di taglio superiore sarà data da:

$$f_H = \frac{GB}{A} = \frac{GB}{1 + \frac{R_2}{R_1}} \quad (2.52)$$

dove GB è il prodotto guadagno banda dell'amplificatore (che è una costante caratteristica dello stesso).

La densità spettrale di uscita sarà data dalla relazione:

$$e_{no} = \left(1 + \frac{R_2}{R_1}\right) \frac{1}{\sqrt{1 + (f/f_H)^2}} e_{ni} \quad (2.53)$$

Il rumore efficace totale al di sopra di una certa frequenza f_L si ottiene integrando e_{no}^2 da f_L a ∞ . dalle equazioni (2.39) e (2.23) si ricava il seguente risultato:

$$\begin{aligned}
E_{no} = & \left(1 + \frac{R_2}{R_1}\right) \cdot [e_{wn}^2 \left(f_{ce} \frac{f_H}{f_L} + f_H - f_L\right) + \\
& + (R_p^2 + R_3^2) i_{wn}^2 \left(f_{ci} \ln \frac{f_H}{f_L} + f_H - f_L\right) + \\
& + 4kT(R_p + R_3)(f_H - f_L)]^{1/2} \quad (2.54)
\end{aligned}$$

dove f_L è il reciproco del tempo di osservazione. Dalla (2.54) si possono ricavare utili suggerimenti per la progettazione di un amplificatore a basso rumore:

- oltre a cercare di ridurre il rumore termico, è opportuno cercare di ottenere un basso valore delle frequenze di angolo f_{ce} e f_{ci}
- quando controreazionato, cercare di mantenere bassi valori delle resistenze di polarizzazione in modo da rendere trascurabili il rumore di corrente
- come già espresso, limitare la banda passante al minimo indispensabile.

Le caratteristiche di rumore di un amplificatore vengono determinate sperimentalmente eseguendo opportune misure di rumore in uscita e riportando in ingresso i dati misurati. La densità spettrale di ingresso viene ricavata come:

$$e_{ni} = \frac{E_{no}}{\|A\| \sqrt{\Delta f}} \quad (2.55)$$

Come è noto, tra i vantaggi della retroazione vi è anche quello della soppressione del rumore. Si tenga presente però che la retroazione non è in grado di ridurre il rumore di ingresso equivalente dell'operazionale [8].

Infine riportiamo per completezza che la figura di rumore per n sistemi collegati in cascata è ottenibile come [8]:

$$F = F_1 + (F_2 - 1)/G_1 + (F_3 - 1)/G_1 G_2 + \dots + (F_n)/G_1 G_2 \dots G_n \quad (2.56)$$

con F_i e G_i rispettivamente la figura di rumore e il guadagno di potenza disponibile per lo stadio i -esimo.

2.8 Conclusioni

In questo capitolo sono state prese in considerazione alcuni aspetti fondamentali nell'analisi e nell'attenuazione del rumore, che si sono rivelati di utilità per la progettazione e per il test dei circuiti che saranno illustrati nei prossimi capitoli. Si noti che da quanto esposto sopra emergono due considerazioni importanti:

- a causa della sua natura intrinseca è impossibile eliminare il rumore, al massimo lo si può attenuare in maniera più o meno efficace
- dato che le sorgenti di rumore sono le più svariate non è possibile trovare un metodo generale per l'attenuazione. Esistono però alcune accortezze che andrebbero sempre adottate [10].

Capitolo 3

Caratterizzazione di un amplificatore di Front-End per rivelatori a microstrip

3.1 TOA16

Il chip TOA16 è un amplificatore di transimpedenza a sedici canali progettato presso l'Istituto Nazionale di Fisica Nucleare (INFN) di Torino per applicazioni nell'ambito della Fisica delle alte energie. Il chip è stato realizzato in tecnologia da $1.2 \mu\text{m}$ della AMS.

In questo capitolo viene descritto il principio di funzionamento del circuito. Successivamente viene dato spazio alla descrizione di come è stato realizzato un banco di prova per il circuito che non richieda apparecchiature per l'acquisizione quali pico-probes e schede dedicate e soprattutto che possa essere montato in ambienti non schermati al rumore, dove sono state finora eseguiti tutti i test del circuito. Vengono infine presentate le misure di linearità effettuate per verificare il corretto funzionamento del banco di prova realizzato.

3.1.1 Principio di funzionamento

In fig. 3.1 è rappresentato lo schema di funzionamento di TOA16, mentre in fig. 3.2 è riportato lo schema elettrico.

Possiamo dividere lo schema in tre stadi:

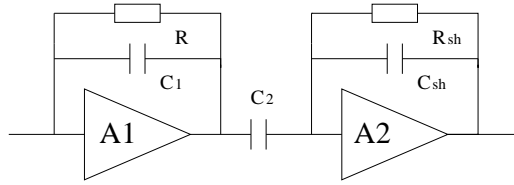


Figura 3.1: *Principio di funzionamento di TOA16*

- Lo stadio di ingresso è un circuito integratore, realizzato usando un amplificatore a MOSFET in configurazione *folded cascode* reazionato con una capacità C_1 e, in parallelo a C_1 , con un transistor MOS utilizzato come resistore. In uscita è riportata una tensione proporzionale all' integrale rispetto al tempo della corrente in ingresso.

$$v_{out} \propto \int i_{in} \cdot dt$$

La resistenza in parallelo al condensatore C_1 permette la scarica dello stesso e previene la saturazione dello stadio, come sarà chiaro in seguito.

- Il secondo stadio è una capacità C_2 che per i segnali di nostro interesse si comporta da derivatore. In uscita alla capacità si avrà una corrente proporzionale alla derivata della tensione in ingresso.

$$Q = C \cdot v_{in} \frac{dQ}{dt} = i_C = C \cdot \frac{dv_{in}}{dt}$$

- Il terzo stadio è un circuito di guadagno ed è, da un punto di vista circuitale, identico al primo stadio. Si noti che la capacità inserita in parallelo alla resistenza di reazione serve a filtrare le componenti ad alta frequenza del segnale, in modo limitare la banda passante al minimo indispensabile e dunque attenuare il rumore.

3.1.2 Funzionamento nelle simulazioni e nella configurazione sperimentale

Negli esperimenti in cui viene impiegato il chip la forma del segnale di ingresso può essere considerato in buona approssimazione di tipo deltiforme. All'uscita del circuito integratore si avrebbe perciò un gradino di tensione di ampiezza proporzionale alla carica iniettata sul condensatore di reazione.

Mandando un treno di impulsi in ingresso in uscita si avrebbe un segnale a "scala". In queste condizioni, tuttavia, il circuito potrebbe funzionare per tempi molto brevi. Dopo pochi impulsi infatti, la tensione ai capi di C_1

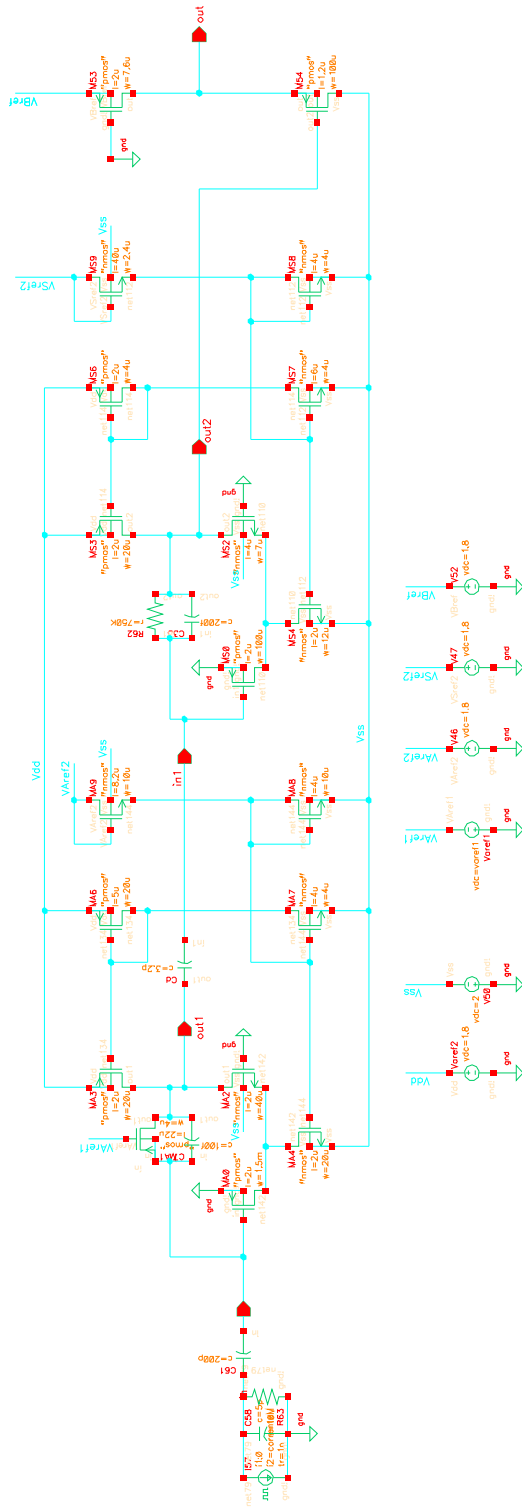


Figura 3.2: Schematico del chip TOA16

raggiungerebbe il valore di V_{dd} e il circuito non sarebbe più funzionante. Per questo motivo in parallelo a C_1 è stata inserita una resistenza del valore di $20\text{M}\Omega$ con lo scopo di scaricare il condensatore. La scarica avverrà in un periodo dell'ordine di $5 - 6\tau$, sapendo che $C_1 = 100\text{fF}$ si ottiene:

$$\tau \simeq R \cdot C_1 = 20 \cdot 10^6 \cdot 200 \cdot 10^{-15} \simeq 4 \cdot 10^{-6}\text{s}$$

Il segnale dall'integratore sarà dunque dapprima crescente e successivamente decrescente con una coda la cui lunghezza dipenderà dal valore di τ

Il segnale così formato verrà quindi derivato dalla capacità C_2 . Il segnale di uscita da C_2 presenta un minimo negativo, noto come fenomeno di "Undershoot", causato dal fatto che la tensione di ingresso non è più un gradino. Il fenomeno risulta più o meno accentuato a seconda della rapidità con cui C_1 viene scaricato.

La corrente in uscita su C_2 viene poi inviata ad uno stadio di guadagno, di architettura simile a quella analizzata per l'integratore. In questo caso la resistenza e il condensatore sulla reazione (rispettivamente R_{sh} e C_{sh}) hanno la funzione di filtrare le componenti ad alta frequenza dell'ingresso, limitando il rumore. Nota $R_{sh} = 750\text{k}\Omega$ e $C_{sh} = 200\text{fF}$ La frequenza di taglio del filtro f_{ts} data da:

$$f_{ts} = (R_{sh} \cdot C_{sh})^{-1} = (750 \cdot 10^3 \cdot 200 \cdot 10^{-15})^{-1} = 6.66\text{MHz}$$

Infine, è stato inserito un circuito di buffer a guadagno unitario per diminuire il più possibile la resistenza di uscita. Come sarà spiegato a breve, questo circuito non è sufficiente e, almeno per le misure in laboratorio, vi è la necessità di inserire un ulteriore adattatore di impedenza.

3.1.3 Funzionamento in condizioni operative

Nella sua configurazione operativa, il chip viene collegato direttamente al rivelatore allo scopo di minimizzare la degradazione del segnale. TOA16 è stato progettato per essere utilizzato con rivelatori di tipo capacitivo denominati *Microstrip*. Il funzionamento di tali rivelatori è illustrato nel capitolo (1)

3.2 Simulazioni

Le simulazioni sono state eseguite con il software di simulazione Hspice, su workstation SUN presso il laboratorio VLSI dell'INFN. Si rimanda al capitolo 5 per una breve descrizione di tale programma.

La corrente di ingresso è stata ottenuta mandando un impulso di corrente di durata $t_{ON} = 1ns$ e tempi di salita e discesa, t_{rise}, t_{fall} anch'essi di $1ns$. La carica totale iniettata nel circuito è data dall' area dell'impulso:

$$Q_{tot} = \frac{(t_{ON} + t_{ON} + t_{rise} + t_{fall}) \cdot i_{pulse}}{2} = \frac{(4 \cdot 10^{-9}) \cdot i_{pulse}}{2} = 2 \cdot 10^{-9} \cdot i_{pulse}$$

In parallelo al generatore di impulsi è stata inserita una capacità di $5pF$, tale capacità simula la capacità reale del rivelatore. La capacità in serie del valore di $200pF$ è necessaria al fine di disaccoppiare il circuito generatore di segnale dal "gate" del MOS di ingresso. È stata infine inserita in parallelo al generatore di impulsi una resistenza da $10M\Omega$, questa resistenza è ininfluente sull'esito della simulazione ma viene richiesta da Hspice.

Sono state effettuate simulazioni da 1 a 4 MIP, ovvero da 4 a 16 fC, per impulsi positivi e negativi. In fig. 3.3 viene riportata la risposta per un impulso di $2\mu A$ ($4fC$). Si noti che il segnale in uscita raggiunge il suo massimo per $t = 196 \cdot 10^{-9}$ secondi.

Figura 3.3: *Segnale in uscita con 1 MIP in ingresso*

Nelle tabelle (3.1) e (3.2) sono riportati i valori calcolati dal simulatore.

Dalle tabelle si nota come il circuito si comporti in modo lineare nella dinamica per cui è stato progettato. in fig. 3.4 sono riportate le curve tensione-carica per le simulazioni effettuate.

Q_{in} [MIP]	ΔV [mV]	A [mV/fC]	t_p [ns]
-1	160.0	40	196
-1.5	257.2	39.5	198
-2	312.2	39.0	198
-2.5	385.4	38.5	200
-3	457.0	38.1	200
-3.5	527.2	37.7	200
-4	595.5	37.2	202

Tabella 3.1: TOA16 - Simulazioni - i_{in} negativa

Q_{in} [MIP]	ΔV [mV]	A [mV/fC]	t_p [ns]
1	160.7	40.2	194
1.5	240.9	40.1	194
2	320.9	40.1	194
2.5	400.7	40.1	194
3	480.1	40.0	192
3.5	559.2	39.9	192
4	637.7	39.8	190

Tabella 3.2: TOA16 - Simulazioni - i_{in} positiva

3.3 misure

Le misure riportate in seguito sono state eseguite presso il laboratorio VLSI e il laboratorio di elettronica della dell'INFN sezione di Torino. I test sono stati eseguiti su tre chip i quali sono stati collegati ad un circuito stampato (CS) appositamente disegnato (fig. 3.5). Il collegamento (“bonding”) tra i “pads” del chip e le piste sul circuito stampato vengono effettuati tramite sottili fili d’oro dello spessore di poche decine di micron.

Il collegamento tra i “pad” del chip e le piste del CS è ottenuto tramite incollaggio ad ultrasuoni. Nel caso di TOA16 è stato inoltre necessario separare elettricamente il “bulk” dal CS per evitare cortocircuiti. La tecnica per effettuare il “bonding” è molto delicata, tuttavia per dispositivi integrati prodotti su scala industriale, la procedura viene effettuata da macchine automatiche. Nel nostro caso la procedura è stata eseguita manualmente usando le apparecchiature dell'INFN.

Ogni circuito stampato è stato identificato da un numero romano. Dei quattro CS disponibili sono stati utilizzati il III e il IV. Il CS permette di controllare quattro dei sedici canali disponibili, le misure sono state effettuate sui

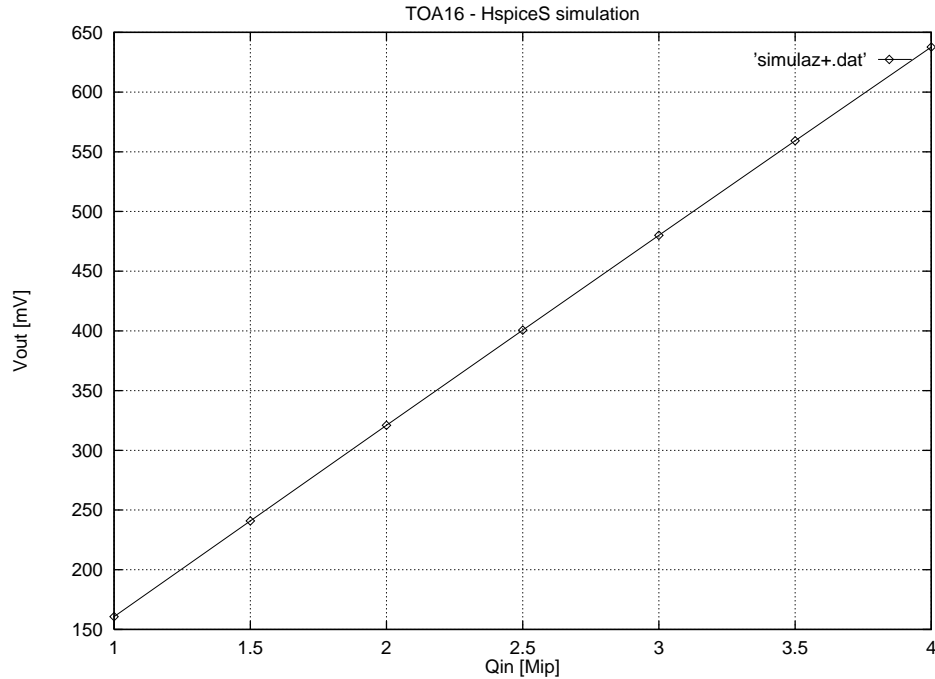


Figura 3.4: *Curva carica-tensione del chip simulato*

canali uno, due, quindici e sedici. Sul CS, oltre al chip sono stati saldati tutti i componenti necessari alla polarizzazione e al collegamento agli strumenti di misura e acquisizione. È stato incollato un guscio plastico sulla scheda per proteggere il chip dalla polvere e dalla luce (alla quale risulta essere sensibile). La scheda così preparata è stata infine inserita in un contenitore metallico per cercare di attenuare il più possibile il rumore elettromagnetico.

Per quanto riguarda il fissaggio del CS nella scatola metallica, si è cercato di evitare il formarsi di “loop” di massa, responsabili dell’introduzione di rumore nella misura. Una soluzione soddisfacente è stata ottenuta evitando che ci fossero punti del circuito collegati a masse con percorsi diversi. In pratica, la massa delle alimentazioni è stata connessa alla scatola metallica, e il CS riceveva la massa solo attraverso il contatto con la scatola per mezzo delle viti di fissaggio.

3.3.1 Strumentazione utilizzata

La strumentazione è composta da:

- Tre alimentatori che forniscono i riferimenti di tensione (V_{dd} , V_{bref} , V_{aref} , V_{ss}) necessari alla corretta polarizzazione di TOA16

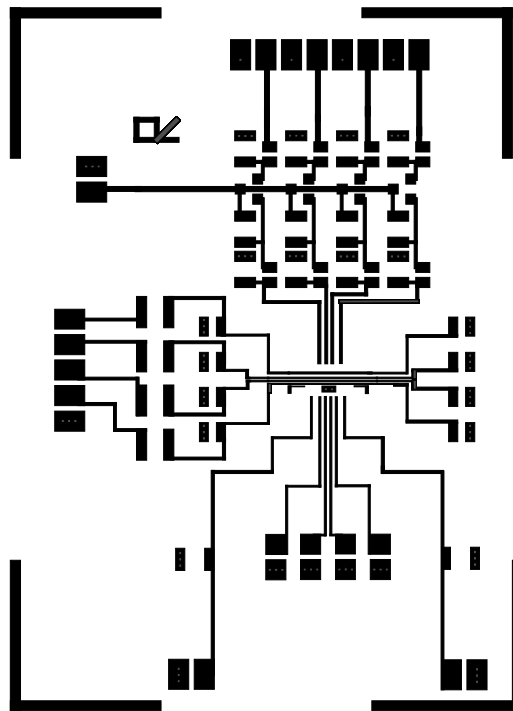


Figura 3.5: *Circuito stampato per l'interfacciamento di TOA16*

- un impulsatore, utilizzato per generare i segnali di ingresso
- un oscilloscopio digitale

3.3.2 Generazione dei segnali in ingresso

Come descritto prima, TOA16 è un amplificatore di carica, vale a dire che la tensione in uscita è proporzionale alla carica in ingresso. È quindi necessario poter generare agevolmente segnali in corrente. A questo scopo durante il disegno del layout del chip sono stati inseriti due ingressi di calibrazione. Il canale di calibrazione è connesso a tutti gli ingressi pari o dispari tramite una capacità in serie del valore di $100fF$. Supponiamo di inviare un gradino di tensione nell'ingresso di calibrazione pari. Tutti i canali pari verranno eccitati da un impulso di corrente dovuto al transitorio generato dalla capacità in serie al segnale. Nel nostro caso siamo interessati alla carica Q iniettata nell'amplificatore dalla corrente, che si ricava dalla semplice relazione:

$$Q = C \cdot V$$

dove $C = 100fF$ è il valore della capacità e V è l'ampiezza del gradino.

Canale	Segnale	ΔV [mV]	Overshoot [mV]	Peak. time [ns]
1	negativo	307	17	237
2	negativo	181	15	227
15	negativo	260	11	237
16	negativo	284	18	227
1	positivo	308	17	257
2	positivo	177	16	257
15	positivo	256	14	257
16	positivo	279	19	247

Tabella 3.3: 1 MIP ($40mV - 4fC$) - Cavo corto

Sapendo che $1MIP = 4fC$ si ottiene che per inviare un MIP è sufficiente mandare un gradino di ampiezza $40mV$. Al fine di ottenere il maggiore trasferimento di potenza tra impulsatore e circuito e ridurre le riflessioni del segnale, sul CS sono state inserite due resistenze da 50Ω , ognuna in parallelo a uno dei due ingressi di calibrazione. Inviando un onda quadra con un periodo opportuno (per esempio $10kHz$) si potranno vedere in uscita le risposte ad un segnale positivo (generato dal fronte di salita dell' onda quadra) e a quello negativo (fronte di discesa).

3.3.3 Polarizzazioni

Sono state adottate le seguenti polarizzazioni:

$$\begin{aligned} V_{dd} = V_{bref} &= 1.8V \\ V_{aref} &= - 1.3V \\ V_{ss} &= - 2.0V \end{aligned}$$

3.3.4 Misure

Tutte le misure successivamente riportate sono state mediate su trentadue campioni.

L' uscita dei canali è stata riportata direttamente sull'oscilloscopio accoppiato in AC tramite cavo coassiale. Le misure sono state ripetute con due differenti lunghezze del cavo, un cavo corto con ritardo di $0.5ns$ e uno lungo con ritardo di $8.0ns$.

I Seguenti dati sono da riferirsi al chip montato sulla board III.

Nelle tabelle da (3.3) a (3.6) sono riportate le misure per il cavo corto.

Canale	Segnale	ΔV [mV]	Overshoot [mV]	Peak. time [ns]
1	negativo	638	92	270
2	negativo	398	56	260
15	negativo	538	72	250
16	negativo	582	96	270
1	positivo	556	48	350
2	positivo	388	50	290
15	positivo	500	50	320
16	positivo	524	50	340

Tabella 3.4: 2 MIP ($80mV - 8fC$) - Cavo corto

Canale	Segnale	ΔV [mV]	Overshoot [mV]	Peak. time [ns]
1	negativo	813	45	260
2	negativo	579	42	230
15	negativo	747	48	250
16	negativo	768	60	240
1	positivo	645	69	370
2	positivo	519	81	300
15	positivo	624	69	330
16	positivo	630	66	360

Tabella 3.5: 3 MIP ($120mV - 12fC$) - Cavo corto

Canale	Segnale	ΔV [mV]	Overshoot [mV]	Peak. time [ns]
1	negativo	824	24	310
2	negativo	576	36	290
15	negativo	732	36	310
16	negativo	795	33	290
1	positivo	756	33	430
2	positivo	552	42	350
15	positivo	687	36	380
16	positivo	714	39	410

Tabella 3.6: 4 MIP ($160mV - 16fC$) - Cavo corto

Canale	Segnale	ΔV [mV]	Overshoot [mV]	Peak. time [ns]
1	negativo	211	2.4	372
2	negativo	107	2.4	368
15	negativo	162	3.0	364
16	negativo	181	1.8	360
1	positivo	106	0.0	504
2	positivo	73	1.2	436
15	positivo	93	0.8	472
16	positivo	98	2.4	480

Tabella 3.7: 1 MIP ($40mV - 4fC$) - Cavo lungo

Canale	Segnale	ΔV [mV]	Overshoot [mV]	Peak. time [ns]
1	negativo	458	4	386
2	negativo	252	6	348
15	negativo	366	6	378
16	negativo	408	6	360
1	positivo	126	2.4	548
2	positivo	101	2.4	468
15	positivo	116	1.2	500
16	positivo	118	1.6	524

Tabella 3.8: 2 MIP ($80mV - 8fC$) - Cavo lungo

Canale	Segnale	ΔV [mV]	Overshoot [mV]	Peak. time [ns]
1	negativo	636	10	430
2	negativo	390	4	410
15	negativo	540	6	410
16	negativo	582	10	410
1	positivo	135	1	594
2	positivo	113	6	510
15	positivo	124	2	550
16	positivo	128	1	570

Tabella 3.9: 3 MIP ($120mV - 12fC$) - Cavo lungo

Canale	Segnale	ΔV [mV]	Overshoot [mV]	Peak. time [ns]
1	negativo	674	10	510
2	negativo	397	4	430
15	negativo	560	6	470
16	negativo	616	16	490
1	positivo	165	3	700
2	positivo	138	2	600
15	positivo	155	2	660
16	positivo	160	2	690

Tabella 3.10: 4 MIP ($160mV - 16fC$) - Cavo lungo

Nelle tabelle da (3.7) a (3.10) sono riportate le misure fatte con il cavo lungo.

Osservando le misure appare immediatamente che la lunghezza del cavo di collegamento tra uscite del chip e oscilloscopio provoca un grosso errore.

La ragione di ciò va ricercata nel buffer di uscita CMOS di TOA16. In primo luogo, il buffer risente di una resistenza di uscita relativamente alta, dell'ordine del migliaio di ohm. Se la misura viene effettuata con collegamenti estremamente corti, oppure utilizzando delle "pico-probes", la resistenza di uscita del circuito non provoca alcun effetto osservabile sulla lettura dei segnali. Viceversa un collegamento lungo introduce una capacità parassita in serie alla linea di acquisizione, la quale comporta una costante di tempo data dal prodotto della resistenza di uscita del chip per il valore della capacità. Un ulteriore problema è dato dalla poca corrente di uscita che il buffer è in grado di erogare, la quale limita lo slew rate dell'uscita.

Per eliminare questa fonte di errore è stato necessario inserire nella catena di acquisizione un adattatore di impedenza (Voltage Follower).

3.3.5 Progettazione di un adattatore di impedenza

La procedura seguita per progettare un Voltage follower è concettualmente simile a quella adottata per il progetto di un qualsiasi circuito elettrico, si rimanda perciò al capitolo 5 per un approfondimento dell'argomento.

Per implementare un Voltage Follower con componenti discreti si possono seguire diversi metodi:

- Utilizzare un Amplificatore operazionale (OPAMP) Reazionandolo in modo da ottenere guadagno unitario (fig. 3.6) .

- Utilizzare un Transistor Bipolare (BJT) in configurazione “Emitter Follower”
- Utilizzare un Transistor MOS in configurazione “Source Follower”

Come è noto un OPAMP presenta alta impedenza di ingresso (dell’ordine delle centinaia di $M\Omega$ e oltre) e bassissima impedenza di uscita (dell’ordine dei $m\Omega$). La scelta migliore è dunque quella a operazionale ma va fatta una considerazione. È importante scegliere un operazionale di tipo compensato. Lo studio della compensazione di un amplificatore operazionale sarà affrontato in dettaglio nel capitolo 5. Realizzare un Voltage follower con un operazionale non compensato presenta problemi di stabilità, in quanto la sua frequenza di taglio si trova molto vicina alla frequenza in cui interviene il secondo polo introdotto dall’amplificatore. Ne risulta un margine di fase molto ridotto che comporta un fenomeno di “ringing”.

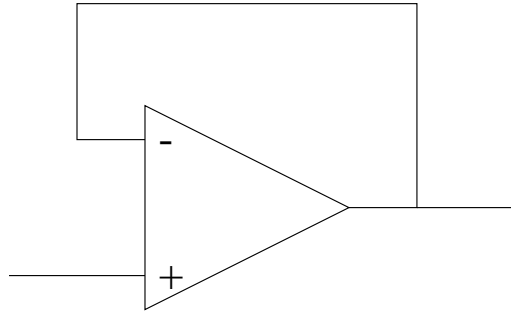


Figura 3.6: *Voltage Follower con Amplificatore Operazionale*

I transistor MOS hanno impedenza di ingresso molto elevata (confrontabile con quella di un operazionale) ma non sono adatti a causa della loro g_m molto piccola, che li porta ad avere una impedenza di uscita piuttosto elevata (dell’ordine dei $k\Omega$) per le nostre esigenze.

Dato che al momento della realizzazione del Voltage Follower non erano disponibili operazionali compensati, si è scelto un circuito a BJT, che pur non avendo caratteristiche di ingresso altrettanto buone presenta in uscita una impedenza dell’ordine di pochi Ω , per noi sufficiente.

3.3.6 Scelta del circuito di polarizzazione

Il Circuito stampato utilizzato per TOA16 era stato già preparato per montare un Voltage Follower con componenti SMD (Surface Mounted Devices), secondo il circuito illustrato in fig. 3.7.

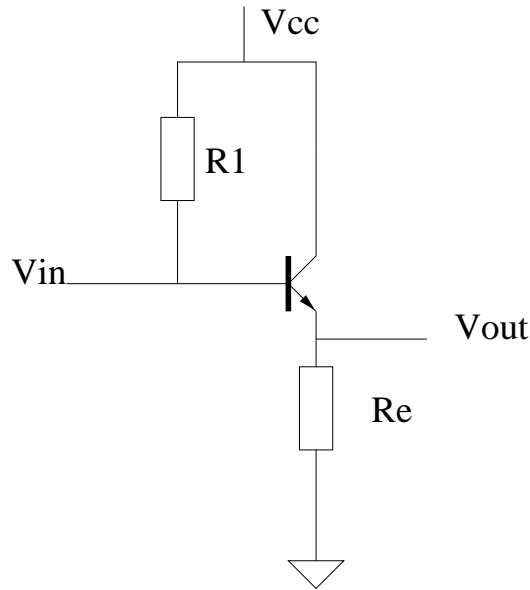


Figura 3.7: *Volatge Follower con transistor BJT*

Questo tipo di polarizzazione però è, di solito, sconsigliabile. La corrente in condizioni statiche I_E che passa per l'emettitore è determinata secondo la relazione:

$$I_E \simeq \beta \cdot I_B$$

dove $\beta \simeq \frac{I_C}{I_B}$ è il guadagno del transistor (fornita dal costruttore), I_B è la corrente di Base e I_C è la corrente di Collettore. Il problema di questa configurazione, sta nel fatto che la polarizzazione del circuito dipenda dal parametro β il quale, pur essendo fornito dal costruttore, viene dato con una tolleranza che può superare il 200% per lo stesso modello di BJT. La tensione di uscita V_E , data da:

$$V_E = R_E \cdot I_E \tag{3.1}$$

non sarà dunque nota a priori, se non con una grande incertezza, con la conseguenza che il punto di lavoro del circuito potrebbe trovarsi vicino alle zone di non linearità.

Per ottenere una polarizzazione più stabile bisogna eliminare la dipendenza da β di I_E . Un sistema è quello implementato dal circuito in fig. 3.8.

In tale circuito la tensione sulla base del transistor V_b viene univocamente fissata dal partitore resistivo formato da R_1 e R_2 . Essendo la tensione sul collettore forzata a V_{cc} , ne risulta che la tensione di emettitore V_E sarà data da:

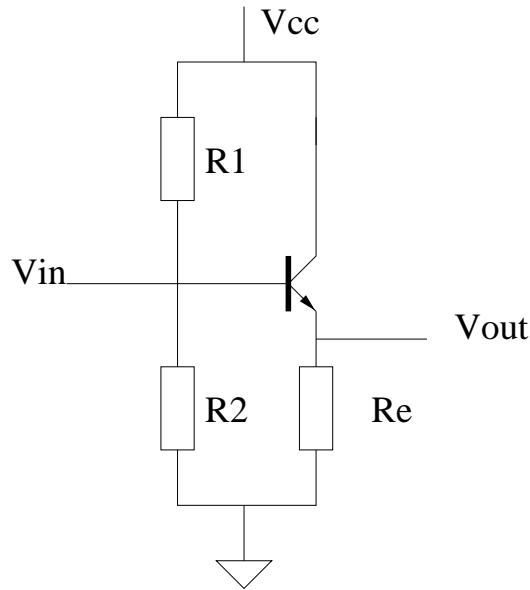


Figura 3.8: *Circuito di autopolarizzazione*

$$V_E \simeq V_B - 0.7 \quad (3.2)$$

ovvero dalla tensione sulla base meno la caduta di tensione sulla giunzione base-emettitore polarizzata direttamente. In questo modo l'incertezza sulla tensione di uscita viene data dalla tolleranza delle resistenze R_1 , R_2 e R_E (che non superano il 5%)

Scegliendo R_1 e R_2 si determina il valore della tensione di base V_b che è determinata dal partitore di tensione secondo la relazione:

$$V_B = \frac{R_2}{R_2 + R_1} V_{cc} \quad (3.3)$$

e inserendo la (3.3) nella relazione (3.2), si ottiene il valore della tensione tra collettore ed emettitore V_{CE} :

$$V_{CE} = V_{cc} - V_E \simeq V_{cc} - V_B + 0.7 \quad (3.4)$$

Utilizzando la (3.1) e sapendo che $I_C \simeq I_E$ è possibile ricavare la corrente di collettore e dunque trovare il punto di lavoro del transistor.

La retta di carico sarà graficamente determinata dalla curva caratteristica come la retta che congiunge il punto V_{cc}/R_E sull'asse I_C con il punto V_{cc} sull'asse V_{CE} , passando per il punto (V_{CE}, I_D) , determinato poc'anzi.

In serie al segnale di ingresso del voltage follower è stata inserita una capacità del valore di 200 nf in modo da disaccoppiare in continua i due circuiti.

Anche se a priori la tensione di base dipende solo dal partitore di tensione tra R_1 e R_2 e non dai valori assoluti delle resistenze, si è preferito scegliere dei valori elevati per non caricare troppo il buffer di uscita di TOA16. In base a quanto appena detto, si è scelto R_1 e R_2 di uguale valore e più precisamente:

$$R_1 = R_2 = 390k\Omega$$

In base alle (3.2) e (3.3) e utilizzando una $V_{cc} = 5V$ si ottiene che la V_{CE} nel punto di lavoro è data da:

$$V_{CE} = \frac{1}{2}V_{cc} - 0.7 = 4.7V$$

che è un valore accettabile sapendo che l'ampiezza massima del segnale in ingresso non supera i 600 mV. Il valore scelto per la R_E è di 1 k Ω che comporta una corrente di emettitore pari a circa 2 mA.

L'inseguitore di tensione così configurato è stato dapprima simulato con Hspice per verificarne la corretta funzionalità, e successivamente realizzato con componenti discreti su una basetta millefori a massa diffusa direttamente collegata al circuito stampato di TOA16

La resistenza di uscita dell'inseguitore a BJT è stata stimata sperimentalmente inserendo un carico variabile sull'uscita e controllando quando il segnale di uscita si dimezzava. Si è così ottenuto che la resistenza di uscita è di circa 3 Ω .

3.3.7 Misure con adattatore di impedenza

Anche in questo caso i dati acquisiti sono stati mediati su trentadue campioni. Osservando al microscopio i tre chip da collaudare si è notata una grossa crepa in una zona periferica del chip montato sulla board IV. Probabilmente proprio a causa di questa crepa, il canale uno del chip non risponde ai segnali di ingresso. Gli altri canali osservati non sembrano essere stati compromessi dal difetto.

Nelle tabelle da (3.11) a (3.14) sono riportate le misure prese sul CS III/4
In tabella (3.15) (3.17) sono riportate le misure prese sul CS IV.

Dalle tabelle riportate appaiono evidenti alcune discrepanze rispetto alle simulazioni. Innanzitutto i canali estremi, ovvero i canali 1 e 16, presentano un guadagno di gran lunga maggiore rispetto agli altri. Il fatto che

Q_{in} [MIP]	ΔV [mV]	A [mV/fC]	Overshoot [mV]	t_p [ns]
-1	278	694.5	15	236
-2	536	67	42	240
-3	688	57.34	54	236
-4	680	42.5	10	348
1	286	71.5	14	256
2	546	68.25	46	308
3	680	56.67	66	284
4	796	49.875	40	434

Tabella 3.11: Board III/ - Canale 1

Q_{in} [MIP]	ΔV [mV]	A [mV/fC]	Overshoot [mV]	t_p [ns]
-1	220	55	21	220
-2	434	54.25	40	220
-3	628	52.33	60	220
-4	594	37.125	34	268
1	228	57	22	236
2	482	60.25	48	248
3	676	56.33	66	284
4	690	43.125	50	312

Tabella 3.12: Board III - Canale 2

Q_{in} [MIP]	ΔV [mV]	A [mV/fC]	Overshoot [mV]	t_p [ns]
-1	203	50.75	22	232
-2	412	51.5	66	232
-3	588	49	92	237
-4	628	39.25	60	264
1	208	52	24	244
2	438	54.75	66	252
3	640	53.34	100	276
4	752	47	80	308

Tabella 3.13: Board III - Canale 15

il fenomeno si verifichi in tutti i chip sembra indicare che il fenomeno sia dovuto a qualche difetto nel processo di costruzione degli stessi.

Un altro effetto che si manifesta è una diminuzione del range di linearità accompagnato da un aumento del guadagno di circa il 25%. Questo fenomeno

Q_{in} [MIP]	ΔV [mV]	A [mV/fC]	Overshoot [mV]	t_p [ns]
-1	456	114	46	252
-2	716	89.5	70	246
-3	768	64	108	234
-4	764	47.75	64	292
1	506	126.5	44	268
2	844	105.5	108	356
3	952	79.34	172	396
4	1016	63.5	168	428

Tabella 3.14: Board III - Canale 16

Q_{in} [MIP]	ΔV [mV]	A [mV/fC]	Overshoot [mV]	t_p [ns]
-1	215	53.75	12	232
-2	432	54	26	220
-3	604	50.34	36	236
-4	606	37.875	16	272
1	219	54.75	10	240
2	464	58	24	232
3	648	55	50	276
4	688	43	16	308

Tabella 3.15: Board IV - Canale 2

Q_{in} [MIP]	ΔV [mV]	A [mV/fC]	Overshoot [mV]	t_p [ns]
-1	226	56.5	6	228
-2	452	56.5	16	224
-3	632	52.67	28	228
-4	622	38.875	8	272
1	232	58	5	232
2	494	61.75	18	252
3	696	58	36	276
4	726	45.75	8	312

Tabella 3.16: Board IV - Canale 15

è spiegabile con il fatto che nell'apparato di test non è stata prevista una capacità di 5pf in parallelo al segnale di ingresso, come era stato fatto in simulazione. Ne risulta che nella fase di test la quantità di carica in ingresso assorbita dalla capacità di 5pf nelle simulazioni, viene riportata in ingresso,

Q_{in} [MIP]	ΔV [mV]	A [mV/fC]	Overshoot [mV]	t_p [ns]
-1	450	112.5	24	248
-2	736	92	36	228
-3	776	64.67	40	232
-4	772	48.25	20	288
1	492	123	24	252
2	832	104	60	348
3	960	80	96	408
4	1076	67.25	72	464

Tabella 3.17: Board IV - Canale 16

aumentando di fatto la carica iniettata nell'ingresso. Questa supposizione è confermata dalle simulazioni effettuate senza capacità in ingresso, come mostrato nel prossimo paragrafo.

Sui canali è stata fatta una analisi del rumore. Per eseguire l'analisi si è inserita una capacità sull'ingresso e si è andato a misurare il valore rms (efficace) in uscita. La misura del valore rms è stata fatto utilizzando la funzione presente nell'oscilloscopio digitale utilizzato per eseguire le misure presentate in questa tesi. Per ottenere la maggior precisione nella misura si è utilizzato un alto valore della base tempi, in modo da avere il maggior numero di campioni, e una scala tale da poter osservare il segnale su tutto lo schermo dell'oscilloscopio, in questo modo è possibile sfruttare al massimo la dinamica del convertitore digitale/analogico presente nello strumento. Nella tabella 3.18 vengono riportati i valori misurati in funzione della capacità in ingresso.

Canale	No cap [mV]	corto [mV]	2.2pf[mV]	8.2pf [mV]	22pf [mV]	47pf [mV]
Board III/4						
1	11.58	10.80	11.64	11.66	12.06	12.28
2	12.44	12.94	12.46	12.60	12.96	13.18
15	12.28	12.52	12.38	11.90	12.72	12.22
16	12.04	4.22	11.96	12.00	12.84	11.82
Board IV/4						
2	11.88	12.36	11.98	13.00	12.16	11.00
15	11.20	11.52	11.22	12.70	12.14	10.80
16	10.34	15.24	11.04	12.02	11.94	11.42

Tabella 3.18: Valori rms

3.4 Simulazioni senza capacità

Per verificare l'ipotesi che il circuito saturi prima a causa della mancanza di della capacità di ingresso sono state rifatte parte delle simulazioni, vengono riportati nelle tabelle (3.19) e (3.20) rispettivamente i dati simulati per il segnale negativo e per quello positivo. Nella prima tabella la saturazione risulta particolarmente evidente. In tutti i casi vi è un aumento del segnale di uscita di circa il 25% in accordo con i dati sperimentali. In fig. 3.9 è rappresentata l'analisi parametrica per il segnale negativo.

Q_{in} [MIP]	ΔV [mV]	A [mV/fC]
-1	198.1	49.5
-2	381.9	47.7
-3	554.1	46.2
-4	682.1	42.6

Tabella 3.19: TOA16 - Simulazioni - i_{in} negativa

Q_{in} [MIP]	ΔV [mV]	A [mV/fC]
1	200.4	50.1
2	399.7	49.9
3	596.7	49.7
4	786.7	49.2

Tabella 3.20: TOA16 - Simulazioni - i_{in} positiva

3.5 Analisi dei dati

Viene eseguito il fit lineare per i chip esaminati. A causa della prematura saturazione di tutti i canali e dell'andamento anomalo dei canali laterali, vengono considerati esclusivamente i fit dei canali 2 e 15 negli intervalli da 1 a 3 MIP. Vengono qui sotto riportati i valori ottenuti di a , b , del coefficiente di correlazione r . a e b sono i parametri della retta interpolante definita come $y = a + b \cdot x$

Can.	a [mV]	b [mV/MIP]	r
Board III/4 segnale positivo			
2	14.00	224	0.997
15	51.00	183.4	0.989
Board III/4 segnale negativo			
2	19.34	-204	-0.999
15	16.00	-192	-0.998
Board IV/4 segnale positivo			
2	14.67	214	.996
15	10.00	232	.997
Board IV/4 segnale negativo			
2	28.00	-194	-.997
15	30.67	-203	-.998

3.6 Conclusioni

I circuiti testati hanno dimostrato, con le opportune considerazioni, un comportamento in linea con le simulazioni. La linearità tra 1 e 4 MIP viene soddisfatta per segnali di ingresso negativi, mentre per i segnali positivi si è notato una maggiore tendenza alla saturazione. Una possibile ragione di tale comportamento potrebbe essere ricercata nel valore in DC della V_{DS} del MOS di ingresso del secondo circuito cascode, che si trova di solo 1V al di sopra della sua tensione di saturazione. Si pu'ò dunque affermare che è possibile eseguire test soddisfacenti del circuito anche in condizioni non ottimali, utilizzando in uscita uno stadio adattatore di impedenza e usando le accortezze di schermatura descritte nel capitolo.

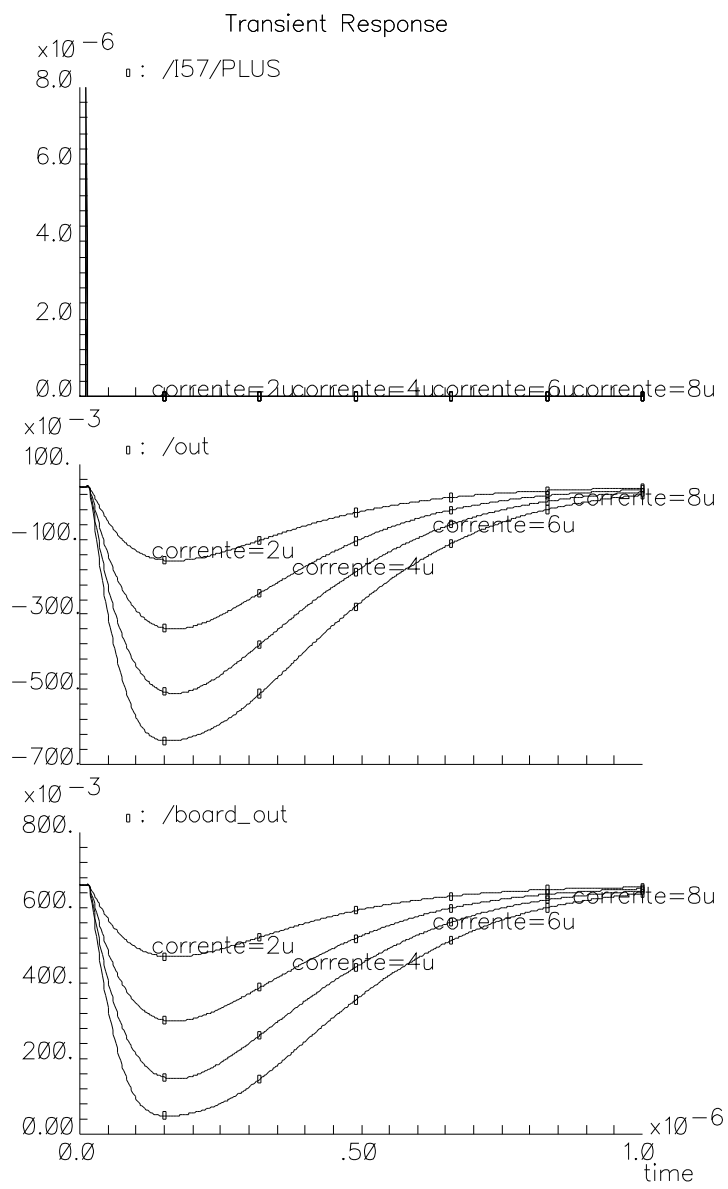


Figura 3.9: *Analisi parametrica del segnale*

Capitolo 4

Il chip TERA1

4.1 Introduzione

TERA1 è il prototipo di un chip VLSI sviluppato nel laboratorio VLSI dell'INFN di Torino per applicazioni nell'ambito del trattamento di tumori con fasci adronici (Adroterapia) [11]. Il chip è costituito da 14 canali che misurano l'energia depositata dal fascio adronico in un opportuno rivelatore, mediante il conteggio della carica generata dallo stesso. Come il circuito analizzato nel precedente capitolo, anche TERA1 è stato realizzato con tecnologia AMS da $1.2 \mu\text{m}$.

Il chip è stato già utilizzato con successo nelle applicazioni per cui era stato progettato. Si vuole ora provare ad utilizzare lo stesso circuito integrato per una differente applicazione, vale a dire l'analisi del DNA. Il problema che sorge in questo nuovo impiego è dovuto al fatto che i segnali di ingresso sono di uno o anche due ordini di grandezza inferiori rispetto ai test precedentemente effettuati, si vuole dunque trovare il limite inferiore di funzionalità del circuito.

L'analisi del DNA viene effettuata mediante una reazione chimica tra un reagente elettricamente stimolato e le molecole da analizzare. Quando avviene la reazione i due composti si combinano e, dopo un certo tempo, si dissociano di nuovo emettendo fotoni. Il flusso di fotoni sarà dunque proporzionale alla quantità di molecole da analizzare. Raccogliendo i fotoni con un fotodiodo è possibile ottenere una corrente proporzionale anch'essa alla quantità di materia da analizzare.

4.2 Principio di funzionamento

In fig. 4.1 è rappresentato lo schema a blocchi di un singolo canale.

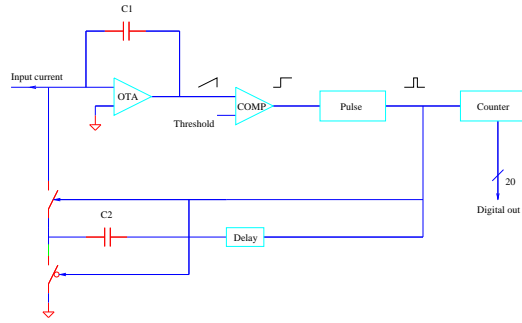


Figura 4.1: *Schema a blocchi di TERA1*

La corrente di ingresso (che è sempre uscente) viene integrata da un circuito integratore composto da:

- Un Amplificatore Operazionale di Transconduttanza (OTA). L'operazionale, illustrato in fig. 4.2, è costituito da un singolo stadio folded con pMOS in ingresso. Ha guadagno ad anello aperto di 106dB e un prodotto guadagno-banda di 12MHz
- Un condensatore da 600fF posto in controeazione.

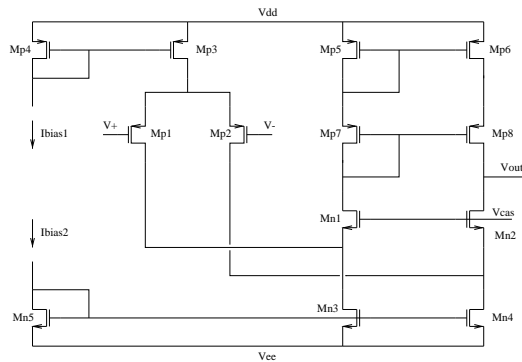


Figura 4.2: *Schema dell'amplificatore operazionale del chip TERA1*

Quando la tensione di C_1 supera un dato valore di soglia V_T , il comparatore (COMP) commuta pilotando un generatore di impulsi (PG) il quale genera un impulso di 100ns.

L'impulso generato viene inviato ad un contatore asincrono a venti bit (CN) e al circuito di reset di C_1 .

Nel chip è inoltre presente un multiplexer che determina quale canale deve essere conteggiato.

Per il reset di C_1 il chip implementa due soluzioni: I canali da 0 a 9 utilizzano un circuito di sottrazione della carica, descritto in seguito, mentre i canali da 10 a 13 scaricano totalmente C_1 attraverso un interruttore MOS posto in parallelo al condensatore. Quest'ultima soluzione introduce un errore dovuto al fatto che durante i 100ns in cui lo switch cortocircuita C_1 , non è possibile integrare la corrente in ingresso. Questo problema non si presenta con il circuito a sottrazione di carica. Il circuito a sottrazione di carica (illustrato in fig. 4.3) sottrae a C_1 una quantità costante di carica inviando un impulso di corrente ottenuto facendo passare l'impulso generato da PG attraverso una capacità C_2 da 200fF.

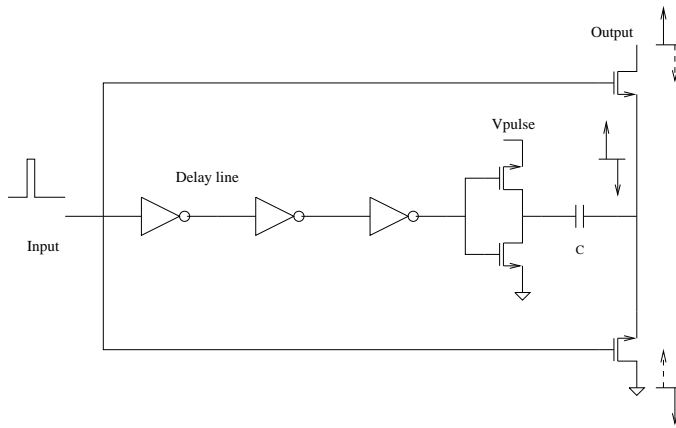


Figura 4.3: *Schema del circuito di sottrazione di carica*

All'uscita di C_2 si avranno due impulsi di corrente, uno positivo e l'altro negativo rispettivamente per il fronte di salita e di discesa dell'impulso di tensione da 100ns. L'impulso di corrente corrispondente al fronte di salita risulta essere di segno opposto alla corrente in ingresso e viene inviato alla capacità C_1 chiudendo lo switch I_1 e contemporaneamente aprendo lo switch I_2 . L'impulso di corrente così generato si sottrarrà alla corrente di ingresso provocando di fatto una sottrazione di carica su C_1 . Viceversa, l'impulso di corrente associato al fronte di discesa viene cortocircuitato verso massa aprendo in modo opposto gli switch.

Essendo questa un'operazione analogica, essa viene condotta in parallelo senza l'aggiunta di tempi morti.

Il circuito di sottrazione è inoltre composto da una linea di ritardo costituita da inverter CMOS che hanno lo scopo di fornire la giusta sincronizzazione nelle fasi di commutazione.

Questo accorgimento per la sottrazione della carica comporta un limite superiore della corrente in ingresso in ingresso data da:

$$i_M = \frac{Q_T}{T_{Min}} \quad (4.1)$$

dove T_{Min} indica l'intervallo di tempo minimo tra due impulsi di sottrazione. Se gli intervalli di tempo scendono ulteriormente, la sottrazione della carica diventa troppo lenta e il circuito integratore tenderá ugualmente alla saturazione. Una volta raggiunta la saturazione il circuito cessa di funzionare e l'unico modo per farlo ripartire consiste nello scaricare completamente la C_1 . Proprio per questo motivo anche nei canali da 0 a 9 è presente uno switch di reset in parallelo a C_1 comandato dal segnale Reset_1. La corrente massima di ingresso è stata valutata intorno al micro Ampère. Questo valore è di gran lunga maggiore delle correnti di nostro interesse, tuttavia durante le fasi di test spesso si è dovuto ricorrere al reset di C_1 a causa delle correnti di disturbo iniettate quando si muoveva il cavo del segnale di ingresso da un canale all'altro.

Utilizzando il sistema di sottrazione di carica il numero letto sul contatore CN sarà un multiplo della carica sottratta a C_1 e quindi si avrà la carica totale iniettata nel circuito.

Il chip presenta 65 pads di cui:

- 14 pin di ingresso, in[0:in13]
- 9 pin che controllano le polarizzazioni del chip (si veda il prossimo paragrafo a riguardo)
- 4 pin che controllano le condizioni di funzionamento del chip:Reset_1, Reset_2, Reset_D e CS
- 14 pin che riportano le uscite dei 14 generatori di impulso collegati ai rispettivi canali, out[0:13]
- 20 bit che riportano le uscite del contatore sincrono, Dout[0:19]. Di questi pin, Dout[19] non è funzionante a causa di un errore nel layout. Il contatore risulta quindi essere a 19 bit anzichè 20.
- 4 bit, Sel[0:3] che, in base alla parola binaria impostata, determinano il canale visto dal contatore.

I pad Reset_1, Reset_2 e Reset_D controllano rispettivamente il reset dei canali da 0 a 9, dei canali da 10 a 13 e del contatore sincrono. Sono tutti attivi alti. Il pad CS (Chip Select) è attivo basso e serve a porre in stato di alta impedenza (“tri-state”) le uscite Dout[0:19] del contatore. Questa funzionalità, che non è di nostro interesse, è necessaria quando più chip condividono le uscite del contatore su un unico bus.

4.3 Verifiche di funzionalità

4.3.1 Polarizzazioni

Per il suo corretto funzionamento il circuito necessita di alcune tensioni di polarizzazione che vengono fissate mediante trimmer resistivi saldati sul circuito stampato. Vengono qui riportate le polarizzazioni adottate durante i test.

Vdd =	3.0V
Vee =	- 3.0V
VCAS =	- 1.5V
Ibias_t =	- 1.8V
Ibias_b =	1.6V
I _{bias_comp} =	- 1.8V
Vth_2 =	0.5V
Vth_1 =	0.5V
Vpulse =	3.0V

Va osservato che il substrato del chip è collegato a Vee, e dunque la massa (Gnd) viene vista dal circuito integrato come un segnale. Pertanto tutti gli ingressi di controllo funzionano tra +3V e -3V.

Le tensioni Vth_1 e Vth_2 definiscono la soglia dei comparatori, variando questi valori sarebbe possibile diminuire il quanto di carica contata dal circuito.

4.3.2 Strumentazione utilizzata

In fig. 4.4 è rappresentato il layout del circuito stampato a cui il chip è collegato. il circuito è stato collegato a sua volta ad una scheda millefori con massa diffusa dove sono riportate le alimentazioni e i connettori per la logica di controllo.

Il tutto è stato a sua volta inserito in un contenitore metallico collegato a massa per ridurre il più possibile il rumore. Il chip, difatti, è risultato essere estremamente sensibile a qualsiasi fonte esterna di rumore, luce compresa.

Per inviare una corrente costante si è collegato un generatore di tensione ai pin di ingresso tramite una resistenza di valore elevato (105.6 M Ω 5% toll.). La connessione con l'alimentatore è stata fatta tramite cavo coassiale ed è stata connessa una capacità di 20 nF in parallelo in modo da filtrare eventuali componenti in AC sulla linea. In questo modo la corrente è data dal rapporto $\frac{V}{R}$. Il generatore di tensione ha la precisione di un mV, la minima

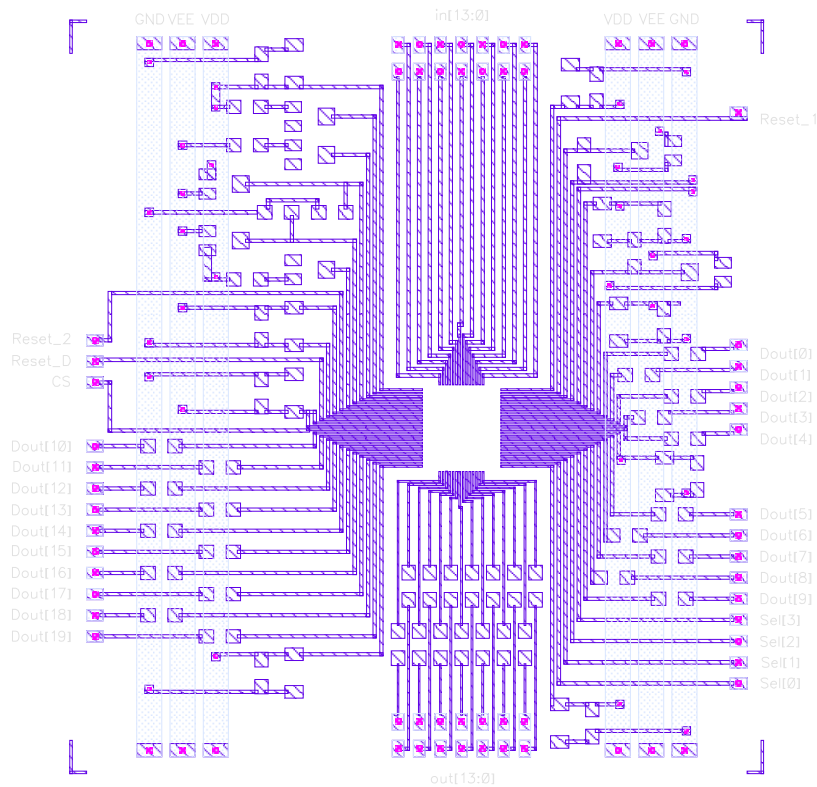


Figura 4.4: *Circuito stampato per il chip TERA1*

corrente ottenibile è quindi:

$$I_{min} = \frac{10^{-3}}{105.6 \cdot 10^6} = 9.46 \text{pA}$$

Le misure sono state fatte con un oscilloscopio digitale Tektronix.

4.3.3 Misurazione della corrente

Il circuito è stato progettato per misure di dosimetria, dove la dose è proporzionale a un valore noto di carica. Nell'applicazione di nostro interesse siamo interessati ad una misura di corrente. È quindi necessario integrare la carica misurata dal circuito rispetto al tempo di misura.

Un metodo consiste nel far funzionare il circuito in una finestra temporale di lunghezza nota e poi ricavando la corrente moltiplicando la carica misurata per il tempo di misura. Nel nostro caso, essendo interessati ad una prima

verifica funzionale abbiamo usato un altro sistema. conoscendo il valore del quanto di carica sottratto, si può misurare la corrente misurando la frequenza f_{pulse} degli impulsi generati da PG secondo la relazione:

$$i_{input} = Q_t \cdot f_{pulse}$$

La misura della frequenza degli impulsi presenta però un problema, le frequenze degli impulsi misurate sono dell'ordine della decina di kHz, quindi con periodi dell'ordine del centinaio di microsecondi, vale a dire tre ordini di grandezza superiore alla durata dell'impulso. Per avere una buona visualizzazione è necessario avere un oscilloscopio con elevata risoluzione. Per poter misurare più agevolmente la frequenza si è scelto di misurare la frequenza del bit meno significativo del contatore a 20 bit. Il bit passa da "0" a "1" e viceversa ad ogni impulso generato da PG. L'unica accortezza da utilizzare è che la frequenza misurata sul bit meno significativo sarà la metà della frequenza effettiva.

4.3.4 Misure

Nelle tabelle (4.1) e (4.2) sono riportate le misure per correnti di ingresso da 9.46 a 47.34 nA. Il canale 8 non ha risposto ai segnali di input e quindi non viene riportato.

V_{in} [V]	Canale [kHz]				
	0	1	2	3	4
1	7.71±.01	7.69±.01	7.67±.01	7.60±.01	7.60±.01
2	15.40±.01	15.37±.01	15.32±.01	15.20±.01	15.28±.01
3	23.2±.1	22.72±.01	23.00±.01	22.99±.01	22.85±.01
4	30.86±.03	30.28±.01	30.65±.03	30.66±.01	30.62±.01
5	37.57±.02	37.85±.02	38.33±.02	38.33±.02	38.02±.01

Tabella 4.1: $I_{in} = 9.46 - 47.34\text{nA}$

V_{in} [V]	Canale [kHz]			
	5	6	7	9
1	7.686±.002	7.630±.002	7.634±.003	7.644±.001
2	15.34±.01	15.32±.01	15.33±.01	15.31±.01
3	22.9±.1	22.9±.1	22.89±.01	22.98±.01
4	30.57±.01	30.57±.01	30.54±.01	30.61±.01
5	38.02±.02	38.32±.01	38.15±.01	38.28±.01

Tabella 4.2: $I_{in} = 47.35 - 946.96\text{nA}$

V_{in} [mV]	Canale [$Hz \pm 10 Hz$]				
	0	1	2	3	4
5	32	36	34	16	26
10	69.9	80.2	77.1	59	70
20	147.3	155.7	153.5	134	141
30	222.2	229	225	206	218
40	306	308	303	288	298
50	380	379	379	359	372
60	455	465	458	436	451
70	524	529	536	515	525
80	611	605	612	588	601
90	675	682	694	667	683
100	747	765	756	745	755

Tabella 4.3: $I_{in} = 47.34 - 946.96\text{pA}$

V_{in} [mV]	Canale [$Hz \pm 10 Hz$]			
	5	6	7	9
5	36	37	31	24
10	79.9	80.8	76	69
20	155	155.5	152	143
30	227	229	225	216
40	306	311	305	300
50	384	384	379	300
60	455	463	454	371
70	536	537	532	451
80	609	615	610	598
90	686	694	688	680
100	768	768	758	755

Tabella 4.4: $I_{in} = 47.35 - 946.96\text{pA}$

Nelle tabelle (4.3) e (4.4) sono riportate le misure tra un range di 47.34 e 946.96 pA. In questa serie di misure non si è voluto scendere ulteriormente in quanto la sensibilità dell' alimentatore a questi valori introduce un errore considerevole. Infatti considerando che ad ogni mV di tensione applicata corrispondono circa 9.5 pA e, come illustrato in seguito, il rapporto frequenza-corrente del chip risulta di circa 1.6 Hz/pA, si ottiene un valore di circa 15 Hz.

4.4 Analisi dei dati

Per ogni canale viene riportato il fit lineare nei due range di misura. Nella tabella seguente vengono riportati, per tensioni in ingresso da 5mV a 100 mV (ovvero da 47.34 a 946.96 nA), i valori di a, b, r e il valore del χ^2 , dove r è il coefficiente di correlazione e a e b sono i parametri della retta $y = a + b \cdot x$.

Can.	a [Hz]	b [mV/Hz]	r
0	-2.9	7.57	0.999
1	2.15	7.59	0.999
2	-1.74	7.65	0.999
3	-20.23	7.63	0.999
4	-10.52	7.67	0.999
5	0.19	7.64	0.999
6	1.22	7.68	0.999
7	-2.97	7.64	0.999
9	-10.68	7.65	0.999

Il chip si comporta in modo lineare nei range di misura, il valor medio per la pendenza della retta è 7.635 mV/Hz. Moltiplicando il valore per 2 (perchè la frequenza misurata è la metà di quella cercata) e moltiplicando per il valore della resistenza in M Ω si ottiene la pendenza della retta in Hz/nA che risulta essere di 1612.6 Hz/nA in accordo con i test precedentemente effettuati. In fig. 4.5 viene mostrato graficamente il fit lineare per il canale 1, mentre in fig. 4.6 è mostrato lo spostamento in percentuale dei dati rispetto al fit.

Nella successiva tabella sono invece riportati i valori riguardanti il range di misura da 1 a 5V (ovvero da 9.46 a 47.34 nA):

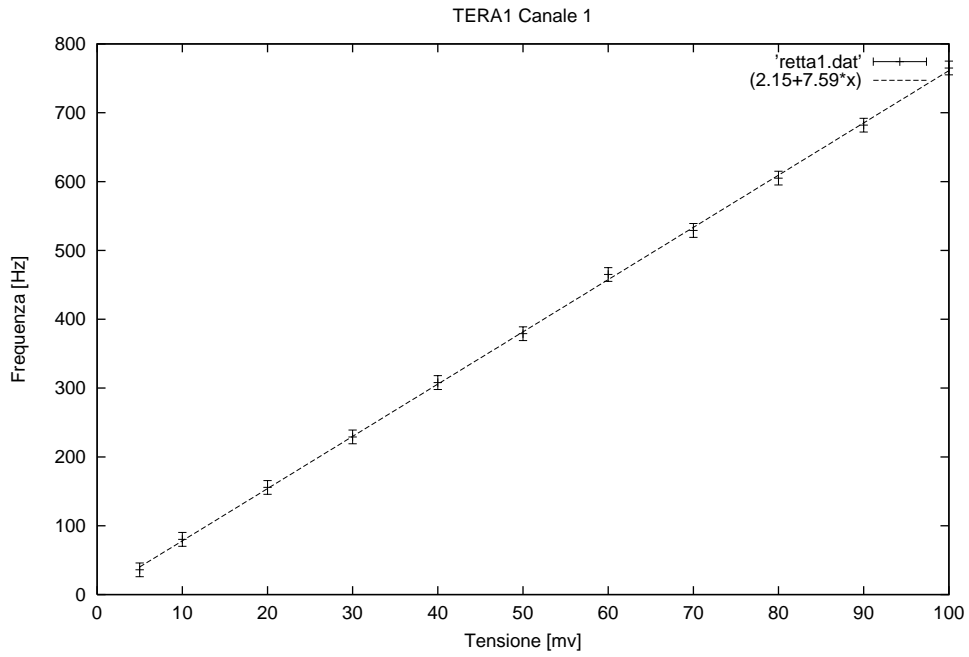


Figura 4.5: *Curva frequenza-tensione*

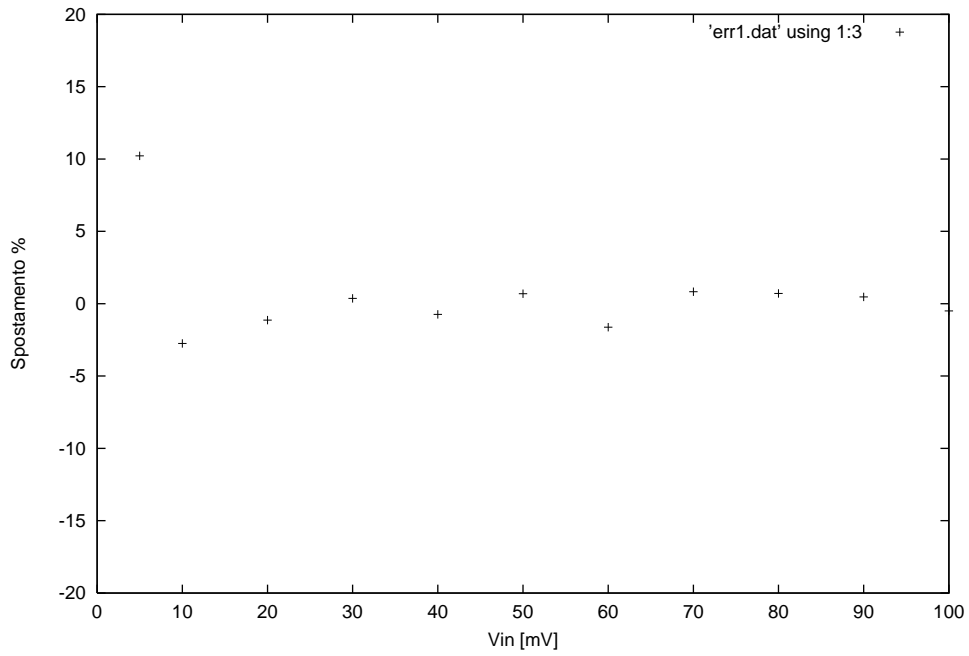


Figura 4.6: *Spostamento dal fit lineare delle misure*

Can.	a [kHz]	b [V/kHz]	r
0	0.394	7.518	0.999
1	0.213	7.523	0.999
2	-0.001	7.665	0.999
3	-0.120	7.692	0.999
4	-0.020	7.818	0.999
5	0.134	7.589	0.999
6	-0.041	7.663	0.999
7	-0.018	7.624	0.999
9	-0.007	7.657	0.999

Anche in questo caso il chip dimostra un comportamento molto lineare, evidenziando che il circuito mantiene la sua linearità in una ampia dinamica. Il valor medio calcolato in questo range risulta essere di 7.639 V/kHz che porta ad un valore di 1613.3 Hz/nA.

4.5 Misure di piccole correnti

Per poter misurare correnti inferiori ai 10 pA è necessario utilizzare resistenze di valori maggiori, di solito di difficile reperibilità. Per le misure si è dunque utilizzata una resistenza da 1 G Ω con tolleranza del 10 %.

Come si è visto precedentemente, la frequenza di conteggio del chip diminuisce in proporzione alla diminuzione della corrente di ingresso. Per ottenere una misura attendibile non è più possibile utilizzare il metodo impiegato precedentemente. Risulta quindi necessario generare una finestra temporale di conteggio, sufficientemente lunga, sulla quale integrare il numero binario in uscita dal contatore. La soluzione attualmente adottata consiste in una batteria di diodi led connessi all'uscita del contatore, i quali visualizzano il valore di carica iniettata nel circuito, e in una logica di controllo che, agendo sui piedini di reset dell'integratore e del contatore, generano la finestra temporale. Un ulteriore passo che si potrà fare in futuro consiste nel connettere il chip ad un sistema di acquisizione dati più evoluto quale LabWindows. Si è quindi proceduto alla realizzazione di una interfaccia contenente i circuiti di cui sopra, tenendo presente la possibilità di una eventuale interfacciabilità altri sistemi. Per interfacciare il circuito vanno però prese alcune accortezze. Inanzitutto non è possibile collegare una batteria di diodi led direttamente sulle uscite digitali del chip. Questo è dovuto al fatto

che le uscite digitali, realizzato in tecnologia MOS, non riescono a fornire la corrente necessaria all'accensione di un led (tipicamente dell'ordine della decina di mA). A causa di ciò le uscite non sono in grado di pilotare carichi a lunga distanza. Risulta dunque necessario collegare un buffer tra uscite e led in grado di fornire la corrente necessaria. Inoltre, pensando ad una futura possibilità di interfacciamento al mondo esterno, è opportuno traslare i livelli logici di uscita (zero=-3v , uno=+3V) in livelli riconoscibili da altri circuiti, in particolare in livelli TTL dove allo zero logico è associato il valore di 0 V e all'uno logico il valore di +5 V.

Lo stesso discorso si applica alla logica di controllo; utilizzando componenti commerciali i segnali di controllo sono di tipo TTL, in questo caso la conversione andrà fatta in senso opposto. A seguire viene discussa la realizzazione dei traslatori di livello impiegati nell'interfaccia.

4.5.1 Traslatori di livello

Per portare i segnali dalle uscite digitali di TERA1 alla batteria di led, si è adottato lo schema proposto in fig. 4.7.

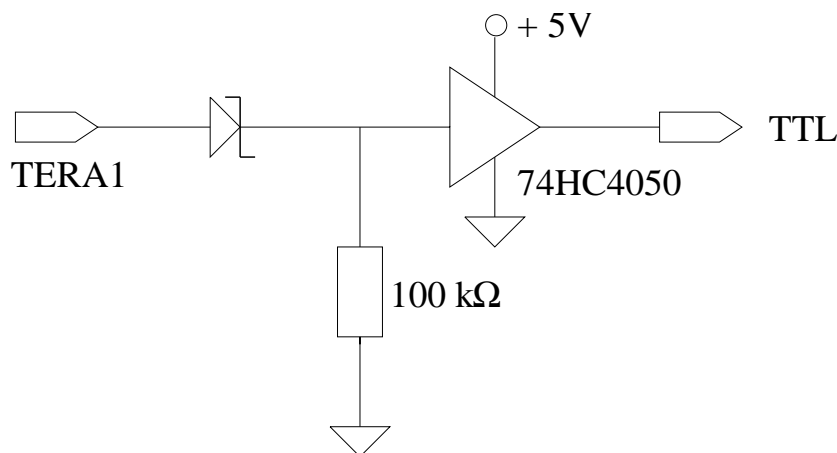


Figura 4.7: *Traslatore di livello da TERA1 a TTL*

Il circuito integrato utilizzato come buffer è il 74HC4050, un circuito commerciale in tecnologia CMOS specificatamente progettato come traslatore di livello. Viene fornito in contenitori DIP (Dual In-line Package) da 16 piedini che integrano 6 traslatori. Il circuito di buffer viene alimentato tra 0 e +5V. Il diodo in serie al segnale di ingresso è di tipo Schottky, caratterizzato da alta velocità e da bassa tensione di soglia (intorno ai 200 mV, ovvero meno di un terzo dei normali diodi a giunzione).

Quando il segnale di ingresso ha valore di $-3V$, il diodo risulta polarizzato inversamente e non conduce, la tensione sul piedino di ingresso del buffer risulta dunque pari a $0V$ e viene riportata sull'uscita. Quando il segnale di ingresso è di $+3V$, il diodo risulterà polarizzato direttamente e condurrà. la tensione al piedino di ingresso del buffer sarà data da:

$$V_{in_{buffer}} = V_{in} - V_{diodo} \simeq 3 - 0.2 = 2.8V$$

che verrà riconosciuto dal buffer come un livello logico uno e dunque sarà riportato in uscita un valore di tensione pari a $5V$. Per poter illuminare il led si è posta una resistenza del valore di $390\text{ k}\Omega$ che, tenendo conto della caduta di tensione sul led polarizzato direttamente, fornisce una corrente di circa una decina di mA.

Per quanto riguarda l'adattamento dei segnali dalla logica di controllo ai pin di reset, lo schema elettrico è mostrato in fig. 4.8. Anche in questo caso viene utilizzato un buffer 74HC4050, ma le alimentazioni sono impostate tra $-3V$ e $+3V$, in questo modo le tensioni associate ai valori logici del buffer saranno uguali a quelle di TERA1.

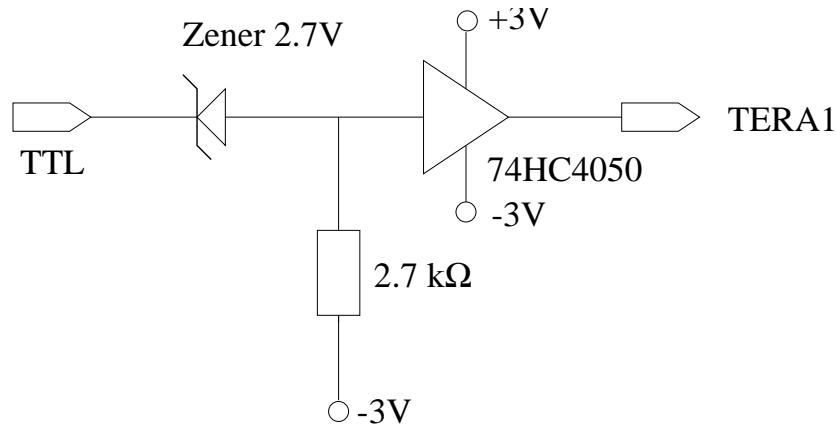


Figura 4.8: *Traslatore di livello da TTL a TERA1*

Si noti che la resistenza R_p non è collegata a massa ma bensì alla tensione di riferimento negativa. Il diodo zener in serie al segnale di ingresso risulterà sempre polarizzato inversamente e quindi la caduta ai suoi capi sarà sempre di 2.7 V . Quando il segnale in ingresso è pari a 0 V , la tensione in ingresso al buffer sarà data dalla caduta di tensione su R_p ricavabile dalla relazione:

$$V_{in_{buffer}} = V_{in} - V_{diodo} \simeq 0 - 2.7 = -2.7V$$

che viene interpretato come uno zero logico dal buffer, che dunque uscirà con una tensione di $-3V$. Se invece si pone in ingresso una tensione di $+5V$,

la caduta sullo zener di 2.7V porterà il piedino di ingresso del buffer al valore di 2.3V, il quale verrà riconosciuto come uno logico, portando l'uscita del buffer al valore desiderato di + 3V.

4.5.2 Progettazione della logica di controllo

La logica di controllo è preposta alla generazione dei segnali di temporizzazione del chip. I comandi disponibili per agire sul circuito sono il comando di reset del circuito integratore, `Reset_1`, e il comando di reset del contatore `Reset_D. _1`, `Reset_2`, `Reset_D` e `CS` La sequenza di controllo pensata a proposito segue i seguenti passi:

1. al tempo t_0 il circuito integratore è inibito mentre il contatore è attivo.
2. al tempo t_1 il contatore viene resettato e contemporaneamente viene attivato l'integratore.
3. al tempo t_2 viene riattivato il contatore il quale comincerà a contare la carica iniettata nell'integratore per un tempo dato da t_3-t_2 .
4. al tempo t_3 viene inibito l'integratore, il conteggio viene così fermato ed è possibile leggere la carica totale iniettata nel circuito
5. viene iterata la procedura dal passo 1.

In fig. 4.9 è mostrato il diagramma temporale della fase di conteggio. La corrente media in ingresso sarà data dalla relazione:

$$I_{input} = 600 \cdot 10^{-15} \cdot N_{counter} \cdot (t_3 - t_2) \quad (4.2)$$

Dove $N_{counter}$ è il numero visualizzato dal contatore, e $t_3 - t_2$ è la finestra temporale in cui avviene il conteggio.

La lunghezza della finestra temporale deve essere scelta di valore opportunamente lungo (per esempio dieci secondi) per due motivi: innanzitutto integrando la carica su un tempo lungo si riduce l'effetto dell'errore di quantizzazione introdotto dal contatore binario, inoltre, dato che il tempo disponibile per la lettura di $N_{counter}$ dipende dal tempo di integrazione, se questo fosse troppo breve l'utente non farebbe in tempo ad annotare la lettura.

Il fatto di far partire l'integratore in anticipo rispetto al contatore garantisce che il conteggio venga effettuato in condizioni di regime del circuito integratore.

Per la generazione della scala tempi sono stati utilizzati due contatori sincroni a 8 bit 74LS590, collegati in cascata per ottenere un contatore a 16

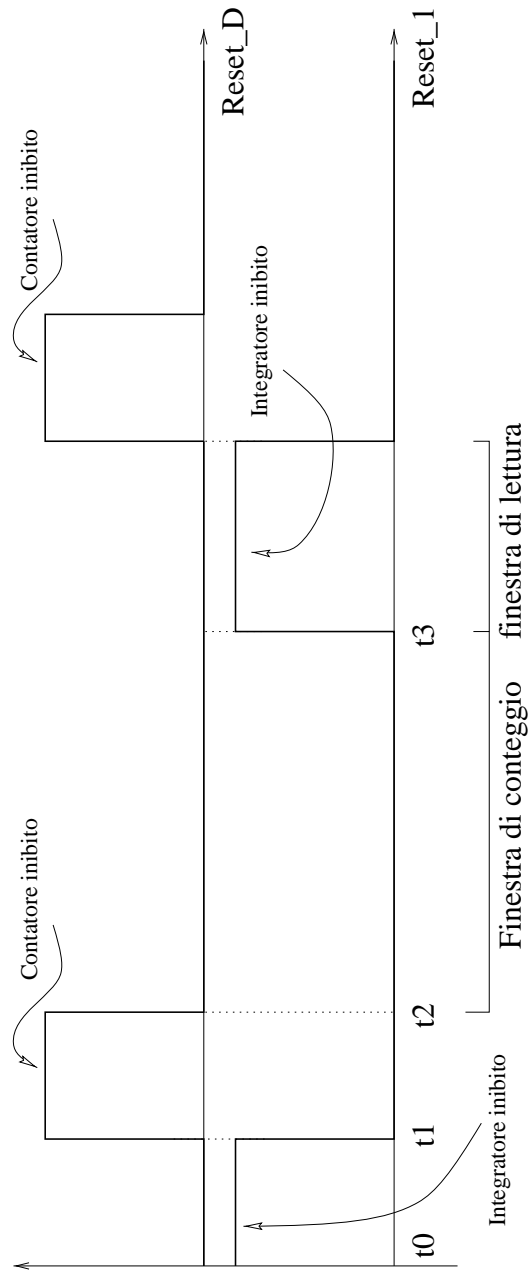


Figura 4.9: *Diagramma temporale della logica di controllo*

bit, e utilizzandoli come divisori di frequenza. Mandando un segnale di clock di frequenza nota f_{clk} al divisore così realizzato, se si preleva il segnale sul bit più significativo si otterrà una frequenza pari a $f_{clk}/2^{15}$, vale a dire circa trentaduemila volte inferiore.

Nella tabella 4.5 viene riportata la tavola della verità per i segnali di controllo in funzione dei quattro bit più significativi del divisore di frequenza. Il bit più significativo è il bit D .

t	D	C	B	A	Reset_1	Reset_D
0	0	0	0	0	1	0
1	0	0	0	1	1	0
2	0	0	1	0	0	1
3	0	0	1	1	0	1
4	0	1	0	0	0	0
5	0	1	0	1	0	0
6	0	1	1	0	0	0
7	0	1	1	1	0	0
8	1	0	0	0	1	0
9	1	0	0	1	1	0
10	1	0	1	0	1	0
11	1	0	1	1	1	0
12	1	1	0	0	1	0
13	1	1	0	1	1	0
14	1	1	1	0	1	0
15	1	1	1	1	1	0

Tabella 4.5: *Tavola della verità per i segnali di controllo*

Attraverso le mappe di Karnaugh e utilizzando i teoremi di De Morgan [7], sono state ottenute le seguenti relazioni logiche, rispettivamente per il segnale del contatore e per quello dell'integratore:

$$\text{Reset_D} = B(C + D) \quad (4.3)$$

$$\text{Reset_1} = \bar{D}(C + B) \quad (4.4)$$

Nella fig. 4.10 sono mostrate le implementazioni dei due circuiti, realizzando i circuiti come mostrato si è limitato l'uso di porte logiche a 4 NAND e 3 NOR, il che ha permesso di utilizzare solo due circuiti integrati, ovvero il 74LS00 per le NAND e il 74LS02 per le NOR.

4.5.3 Realizzazione pratica dell'interfaccia

Tutti i circuiti descritti nelle precedenti due sezioni sono stati praticamente realizzati su una basetta millefori. Per quanto riguarda i buffer che pilotano i

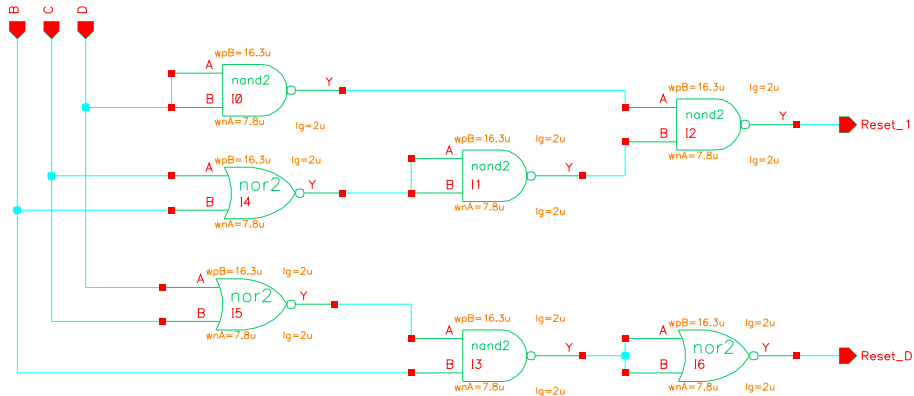


Figura 4.10: *Schematico della logica di controllo*

led, il cablaggio è stato realizzato con tecnica “wire wrapping”. L’utilizzo di tale tecnica non comporta rischi di malfunzionamento in quanto, si vedano le misure illustrate, le frequenze di commutazione dei bit del contatore raggiungono poche decine di kHz al massimo mentre un cablaggio “wire wrapped” può sopportare diverse centinaia di kHz. La parte del divisore di frequenza e della logica di controllo è stata invece realizzata in modo tradizionale tramite fili saldati. Per tutte e due le sezioni del circuito sono state previste delle zone in cui è possibile interfacciare ulteriori apparecchiature di acquisizione e/o controllo escludendo quelle presenti sulla scheda e sfruttando unicamente i traslatori di livello. La batteria di diodi led è stata realizzata su una scheda a parte connessa tramite piattina alla scheda di interfaccia permettendo la visualizzazione del conteggio senza dover aprire la scatola metallica di schermatura. È stato inoltre predisposto un tasto di reset del divisore di frequenza.

L'interfaccia è a sua volta connessa alla board del chip tramite un cavo piatto di lunghezza ridotta. Il connettore del cavo è stato modificato in modo da impedire che venga erroneamente connesso al contrario. Le alimentazioni a ± 3 Volt sono prese dalla scheda del chip mentre l'alimentazione a 5V entra direttamente sull'interfaccia ed è dotata di filtro pi greco per il filtraggio (si veda il capitolo 1 in proposito).

4.5.4 Misure

Le misure con l'interfaccia sono state eseguite presso il laboratorio VLSI dell'Istituto Nazionale di Fisica Nucleare di Torino. La strumentazione e le polarizzazioni sono le stesse utilizzate per la misura senza interfaccia, si rimanda ai precedenti paragrafi per le informazioni relative. Si è inoltre utilizzato un generatore di funzioni Tektronix per creare il segnale della base tempi.

Nel precedente paragrafo si è visto come il valore della corrente da misurare dipenda dalla lunghezza della finestra temporale in cui viene conteggiata la carica iniettata nel dispositivo. Per calcolare l'intervallo di tempo si faccia riferimento alla tabella 4.5. Il periodo di integrazione della carica è dato dall'intervallo tra il passo 4 e il passo 7. Dalla tabella risulta chiaro come la finestra temporale sia uguale al periodo del bit B , T_B . Sapendo che il bit meno significativo del divisore ha frequenza pari alla metà della frequenza di clock, si avrà che:

$$T_B = 2^{14} \cdot T_{clk} = 16384 \cdot T_{clk} \quad (4.5)$$

dove T_{clk} è il periodo del segnale di clock. Dunque, applicando un segnale di clock pari a 1 kHz si otterrà che la carica iniettata verrà integrata per un tempo pari a 16.384 secondi.

Per le nostre misure si è scelto il valore di $500.0 \pm .1$ Hz come frequenza di clock, il che significa che il tempo di integrazione è di 32.768 secondi.

Per calcolare il valore della corrente, facendo riferimento alle (4.5) e (4.2), si utilizza la seguente relazione:

$$I = Q \cdot N_{counter} \cdot \frac{2^{14}}{f_{clock}} \quad (4.6)$$

Per ricavare l'incertezza sulla misura si è utilizzata la propagazione gaussiana secondo la relazione:

$$\sigma I = \sqrt{\left(\frac{dI}{dN_{counter}}\right)^2 \cdot \sigma N_{counter}^2 + \left(\frac{dI}{dQ}\right)^2 \cdot \sigma Q^2 + \left(\frac{dI}{df_{clock}}\right)^2 \cdot \sigma f_{clock}^2} \quad (4.7)$$

Il valore di σQ è stato calcolato anch'esso per propagazione gaussiana sapendo che Q è dato dalla seguente relazione:

$$Q = C2 \cdot V_{pulse} \quad (4.8)$$

dove V_{pulse} è stata misurata con valore pari a $3.020 \pm .001$ mV, mentre per la $\sigma C2$ si è fatto riferimento alla documentazione AMS che riporta una incertezza del 10% per ogni fF/ μm^2 e per ogni fF/ μm .

Il valore calcolato è dunque:

$$\sigma Q = 60.42\text{fF}$$

L'incertezza sul conteggio è stata stimata ripetendo più volte la stessa misura nelle stesse condizioni. Si è quindi calcolato il valor-medio e la deviazione standard, che è risultata pari a 24.

Nelle seguenti tabelle sono riportate le misure eseguite con l'interfaccia. Nelle tabelle è riportata la tensione in ingresso, il conteggio letto, convertito in binario, e il calcolo della corrente misurata dal circuito.

4.5.5 Analisi dei dati

La corrente reale in ingresso è data dalla legge di ohm:

$$I_{in} = \frac{V_{in}}{R} \quad (4.9)$$

con

$$\sigma I_{in} = \sqrt{\frac{\sigma V_{in}^2}{R^2} + \frac{V^2 \sigma R^2}{R^4}} \quad (4.10)$$

La σV_{in} è data dalla sensibilità del voltmetro ed è dunque pari a 1 mV. Per quanto riguarda l'incertezza su valore della resistenza si è fatto fede alla tolleranza dichiarata dal costruttore in quanto, a causa del suo valore elevato, non è stato possibile misurarne direttamente il valore reale o calcolarne la curva tensione corrente.

nella tabella 4.9 vengono riportati i valori misurati per la corrente in ingresso.

$V [mV]$	Can. 1		Can. 2		Can. 3	
	N	$I [pA]$	N	$I [pA]$	N	$I [pA]$
100	6673	122 ± 12	5514	101 ± 10	6725	123 ± 12
90	6147	112 ± 11	5013	92 ± 9.2	6203	114 ± 11
80	5611	103 ± 10	4498	82.3 ± 8.3	5650	103 ± 10
70	5092	93.2 ± 9.4	3965	72.6 ± 7.3	5146	94.2 ± 9.5
60	4603	84.3 ± 8.5	3475	63.6 ± 6.4	4615	84.5 ± 8.5
50	4058	74.3 ± 7.5	2908	53.2 ± 5.4	4095	74.9 ± 7.6
40	3557	65.1 ± 6.7	2410	44.1 ± 4.4	3557	65.1 ± 6.7
30	2987	54.9 ± 5.5	1901	34.8 ± 3.5	3048	55.8 ± 5.6
20	2507	45.9 ± 4.6	1359	24.8 ± 2.5	2534	46.4 ± 4.7
10	2006	36.7 ± 3.7	885	15.6 ± 1.7	1983	36.3 ± 3.7
9	721	13.2 ± 1.4	779	14.3 ± 1.5	1956	35.8 ± 1.4
8	669	12.2 ± 1.3	743	13.6 ± 1.4	1899	34.8 ± 1.3
7	653	11.9 ± 1.3	697	12.7 ± 1.4	1803	33.0 ± 1.3
6	591	10.8 ± 1.1	612	11.2 ± 1.2	1749	32.0 ± 1.1
5	525	9.6 ± 1.1	573	10.5 ± 1.1	1658	30.3 ± 1.1
4	454	8.3 ± 0.9	513	9.4 ± 1.0	1645	30.1 ± 0.9
3	408	7.5 ± 0.9	460	8.4 ± 1.0	1613	29.5 ± 0.9
2	351	6.4 ± 0.8	395	7.2 ± 0.9	1528	27.9 ± 0.8
1	289	5.3 ± 0.7	364	6.7 ± 0.8	1463	26.8 ± 0.7

Tabella 4.6: *Misure di piccole correnti relative ai canali 1, 2 e 3*

$V [mV]$	Can. 4		Can. 5		Can. 6	
	N	$I [pA]$	N	$I [pA]$	N	$I [pA]$
100	5529	101 ± 10	5925	108 ± 11	5788	106 ± 11
90	5041	92.3 ± 9.3	5426	99.3 ± 10.0	5286	96.8 ± 10.7
80	4543	83.2 ± 8.4	4861	89.0 ± 8.9	4768	87.3 ± 8.8
70	3995	73.1 ± 7.4	4359	79.8 ± 8.0	4239	77.6 ± 7.8
60	3490	63.9 ± 6.4	3785	69.3 ± 6.9	3722	68.1 ± 6.9
50	2945	53.9 ± 5.4	3283	60.1 ± 6.1	3199	58.6 ± 5.9
40	2445	44.8 ± 4.5	2759	50.5 ± 5.1	2654	48.6 ± 4.9
30	1924	35.2 ± 3.6	2203	40.3 ± 4.1	2103	38.5 ± 3.9
20	1405	25.7 ± 2.6	1709	31.3 ± 3.2	1588	29.1 ± 2.9
10	890	16.3 ± 1.7	1191	21.8 ± 2.2	1083	19.8 ± 2.0
9	824	15.1 ± 1.6	1103	20.2 ± 2.1	1028	18.8 ± 1.9
8	743	13.6 ± 1.4	1074	19.7 ± 2.0	975	17.8 ± 1.8
7	719	13.2 ± 1.4	1033	18.9 ± 1.9	920	16.8 ± 1.7
6	639	11.7 ± 1.3	929	17.0 ± 1.8	857	15.7 ± 1.6
5	616	11.3 ± 1.2	870	15.9 ± 1.7	811	14.8 ± 1.6
4	545	9.9 ± 1.1	829	15.2 ± 1.6	746	13.6 ± 1.4
3	483	8.8 ± 1.0	789	14.4 ± 1.5	686	12.5 ± 1.3
2	441	8.1 ± 0.9	709	12.9 ± 1.4	628	11.5 ± 1.2
1	364	6.7 ± 0.8	625	11.4 ± 1.2	543	9.9 ± 1.1

Tabella 4.7: *Misure di piccole correnti relative ai canali 4,5 e 6*

$V [mV]$	Can. 7		Can. 8		Can. 9	
	N	$I [pA]$	N	$I [pA]$	N	$I [pA]$
100	5800	106 ± 11	5857	107 ± 11	5689	104 ± 10
90	5297	96.9 ± 9.8	5321	97.4 ± 9.8	5185	94.9 ± 9.6
80	4742	86.8 ± 8.7	4759	87.1 ± 8.8	4707	86.2 ± 8.7
70	4251	77.8 ± 7.8	4274	78.3 ± 7.9	4168	76.3 ± 7.7
60	3737	68.4 ± 6.9	3735	68.4 ± 6.9	3635	66.6 ± 6.7
50	3181	58.2 ± 5.9	3219	58.9 ± 5.9	3123	57.2 ± 6.0
40	2655	48.6 ± 4.9	2699	49.4 ± 5.0	2619	47.9 ± 4.8
30	2131	39.0 ± 3.9	2181	39.9 ± 4.0	2073	37.9 ± 3.8
20	1619	29.6 ± 3.0	1677	30.7 ± 3.1	1555	28.5 ± 2.9
10	1083	19.8 ± 2.0	1158	21.2 ± 2.2	1057	19.3 ± 2.0
9	1064	19.5 ± 2.0	1082	19.8 ± 2.0	1011	18.5 ± 1.9
8	1008	18.4 ± 1.9	1069	19.6 ± 2.0	928	16.9 ± 1.8
7	919	16.8 ± 1.7	1005	18.4 ± 1.9	899	16.5 ± 1.7
6	858	15.7 ± 1.6	959	17.6 ± 1.8	833	15.2 ± 1.6
5	803	14.7 ± 1.5	887	16.2 ± 1.7	777	14.2 ± 1.5
4	783	14.3 ± 1.5	829	15.2 ± 1.6	728	13.3 ± 1.4
3	729	13.3 ± 1.4	777	14.2 ± 1.5	665	12.2 ± 1.3
2	651	11.9 ± 1.3	671	12.3 ± 1.3	610	11.2 ± 1.2
1	585	10.7 ± 1.1	615	11.3 ± 1.2	528	9.7 ± 1.1

Tabella 4.8: *Misure di piccole correnti relative ai canali 7,8 e 9*

$V_{in} \pm 1[mV]$	$I_{in} [pA]$	$\sigma I_{in} [pA]$
100	100.00	10.05
90	90.00	9.05
80	80.00	8.06
70	70.00	7.07
60	60.00	6.08
50	50.00	5.10
40	40.00	4.12
30	30.00	3.16
20	20.00	2.23
10	10.00	1.41
9	9.00	1.34
8	8.00	1.28
7	7.00	1.22
6	6.00	1.17
5	5.00	1.12
4	4.00	1.08
3	3.00	1.04
2	2.00	1.02
1	1.00	1.00

Tabella 4.9: *Misura della corrente in ingresso*

Confrontando le tabelle da 4.6 a ?? con quella appena riportata appare subito che il chip non mantiene la sua linearità sotto i 30 pA e comunque vi sono forti disomogeneità tra i canali. La causa di questo comportamento va sicuramente ricercata nello switch, pilotato dal pin RESET_1, che scarica la capacità dell'integratore. Lo switch è formato da un nMOS con canale lungo $0.8 \mu\text{m}$ e largo $2 \mu\text{m}$. Un interruttore costruito in questa maniera è di solito efficace nella maggior parte delle applicazioni. Nel nostro caso ciò non è più vero in quanto, inviando correnti dell'ordine del picoAmpere, la corrente di fuga del MOS interdetto non è più trascurabile.

4.6 Conclusioni

Da quanto illustrato in questo capitolo si vede come la linearità del circuito è garantita su un intervallo molto ampio. In particolare si è osservato che mediamente la linearità viene mantenuta scendendo di circa 20 pA rispetto al limite inferiore per il quale era stato progettato. Difficilmente si riuscirà a scendere sotto i 20pA, tuttavia in futuro si potranno fare ulteriori analisi, soprattutto per abbattere il rumore di fondo. Si potrebbe provare a ripetere le misure alimentando il circuito con batterie in modo da eliminare eventuali interferenze con la rete elettrica. Il passo successivo consisterà nel collegare il circuito ad un fotodiodo per poter verificarne l'utilizzo nell'applicazione citata nell'introduzione del capitolo. Al momento, difatti, non è stato ancora quantificato con precisione il valore di corrente in uscita dal fotodiodo, e dunque non è da escludere che il circuito possa essere utilizzato, seppure in modo limitato. Per poter leggere i valori di corrente richiesti dall'applicazione si rende necessario sviluppare un nuovo circuito. Nel prossimo capitolo verrà trattato questo argomento e verrà proposta una possibile configurazione.

Capitolo 5

Progetto di un amplificatore operativo a basso rumore

5.1 Introduzione

In questo capitolo viene descritta la procedura che ha portato alla realizzazione (per ora solamente al simulatore) di due amplificatori operazionali. Il secondo di questi è un possibile candidato per diventare il componente principale dell'amplificatore di carica che verrà utilizzato in un circuito a basso rumore per l'analisi del DNA. Il primo paragrafo illustra il funzionamento dei circuiti di base che compongono l'amplificatore. Nel secondo paragrafo viene brevemente descritta la procedura che porta alla realizzazione pratica di un circuito VLSI mentre nelle rimanenti sezioni vengono descritti i due amplificatori operazionali realizzati.

5.2 Sottocircuiti di base

Un amplificatore operativo è tipicamente costituito da uno stadio di ingresso differenziale a cui sono collegati in cascata uno o più stadi di guadagno.

Nel nostro specifico caso ci siamo concentrati sulla realizzazione di un amplificatore a due stadi, composto dallo stadio differenziale di ingresso e da uno stadio di guadagno. La scelta di una configurazione a due stadi è stata suggerita dall'idea di ridurre il numero totale di componenti, con il vantaggio di semplificare la realizzazione e diminuire il rumore, e dal fatto che le specifiche non prevedono la necessità di pilotare grossi carichi, e dunque non richiedendo la presenza di uno stadio di adattamento dell'impedenza in uscita. Nelle prossime sezioni verranno analizzati singolarmente i due stadi che compongono il circuito.

5.2.1 Amplificatore differenziale

Lo scopo di un amplificatore operazionale è di amplificare soltanto la differenza tra due tensioni in ingresso indipendentemente dal loro valore assoluto. In condizioni ideali si avrà dunque:

$$v_{OUT} = A_D(v_1 - v_2) \quad (5.1)$$

In un amplificatore reale il guadagno in uscita sarà la somma del guadagno differenziale e del guadagno in modo comune, anche se questo contribuisce in minima parte:

$$v_{OUT} = A_D(v_1 - v_2) + A_C(v_1 + v_2) \quad (5.2)$$

Da quanto appena detto, una grandezza importante che caratterizza un amplificatore differenziale è il suo *rapporto di reiezione di modo comune* (CM-RR, Common Mode Rejection Ratio), ovvero il rapporto tra il guadagno differenziale e il guadagno in modo comune. Un'altra grandezza di interesse è il *Range di Modo Comune* (CMR, Common Mode Range), che specifica l'intervallo di valori comuni in cui l'amplificatore "sente" e amplifica le differenze degli ingressi mantenendo costante il guadagno. Infine ricordiamo il fenomeno dell'offset che consiste in uno spostamento dallo zero dell'uscita quando i due ingressi sono collegati allo stesso potenziale. Una delle cause principali dell'offset è dato dalle asimmetrie del circuito. Nei successivi paragrafi questo concetto verrà ulteriormente ripreso e saranno illustrati alcuni accorgimenti atti a ridurre questo disturbo.

Nella fig. 5.1 è illustrato un amplificatore differenziale. Per facilitare la lettura dello schematico non sono riportate le connessioni dei bulk. Per assicurare un funzionamento ottimale i bulk degli nMOS vanno collegati al potenziale più basso disponibile mentre per i bulk dei pMOS vale il viceversa. Nel processo di fabbricazione dei circuiti integrati con le tecnologie a noi disponibili, tutti i bulk dei MOS di tipo n sono formati dal substrato del chip e dunque risultano elettricamente collegati insieme. Il substrato del chip sarà dunque connesso a V_{SS} . I bulk dei pMOS verranno invece connessi a V_{DD} .

I MOS M1 e M2 formano la coppia di ingresso. Il MOS M5 funziona da pozzo di corrente e forza la corrente che fluisce nei due rami del circuito. Al posto di utilizzare delle resistenze, il carico sui MOS M1 e M2 viene fornito dalla coppia di pMOS M3 e M4 collegati come specchio di corrente. In pratica, M3 ha il gate collegato al drain, dunque il transistor è forzato in regione di saturazione in quanto sarà sempre $v_{GS3} = v_{DS3}$. La v_{GS3} viene "specchiata" sul gate del pMOS M4, e dato che i source dei due transistor

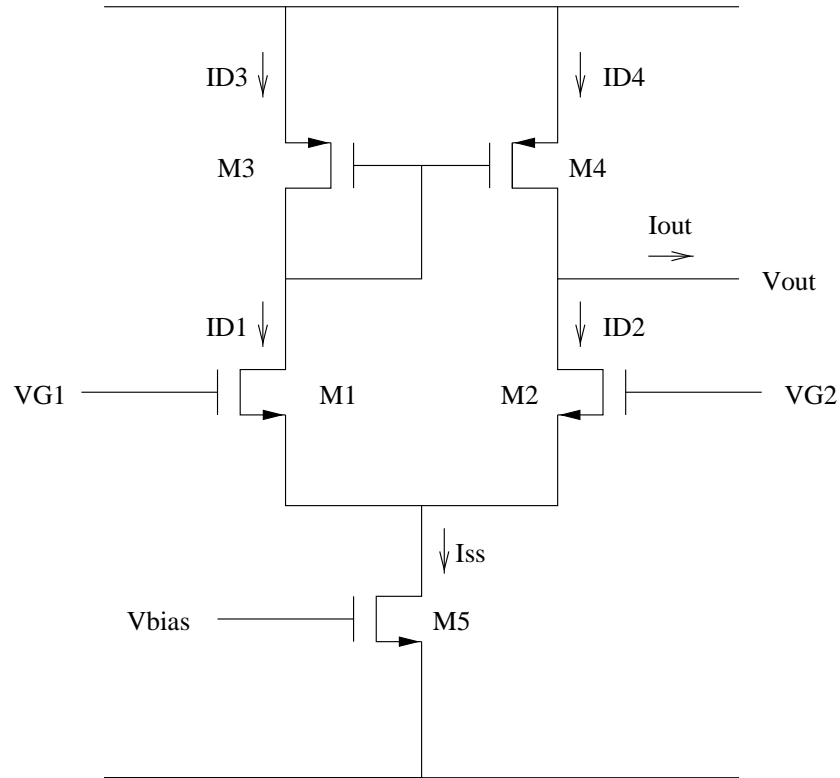


Figura 5.1: *Schema di un amplificatore differenziale*

sono collegati insieme si otterrà che anche per il MOS M4 varrà la relazione $v_{GS4} = v_{DS4}$. Scegliendo le dimensioni dei due transistor uguali, si avrà che in condizioni stazionarie e con $v_{GS1} = v_{GS2}$, la corrente che fluisce nei due rami, e più precisamente la corrente che fluisce attraverso i drain di M1 e M2, sarà uguale e pari alla metà della corrente forzata da M5, i_{SS} . Considerando un carico trascurabile in uscita questo comporterà $i_{out} = 0$. Supponiamo ora che $v_{GS1} > v_{GS2}$, dovendo sussistere la relazione:

$$i_{SS} = i_{D1} + i_{D2} \quad (5.3)$$

si avrà che la i_{D1} aumenterà mentre la i_{D2} diminuirà. Tuttavia un aumento della i_{D1} comporterà un aumento della i_{D3} e, a causa dello specchio di corrente, della i_{D4} . A questo punto l'unico modo per fare sì che il circuito si mantenga equilibrato è che la corrente di uscita non sia più nulla ed abbia verso uscente. Partendo dall'ipotesi opposta si può facilmente dimostrare come la corrente di uscita debba essere negativa. Per quanto detto poc'anzi il Gate di M1 è detto ingresso non invertente mentre quello di M2 è detto ingresso invertente.

La caratteristica per grandi segnali può essere ricavata assumendo che M1 e M2 siano sempre in saturazione. Questa condizione è ragionevole nella maggior parte dei casi. Assumendo che i MOS M1 e M2 siano uguali, le relazioni che descrivono il comportamento per grandi segnali sono:

$$v_{ID} = v_{GS1} - v_{GS2} = \left(\frac{2i_{D1}}{\beta} \right)^{1/2} - \left(\frac{2i_{D2}}{\beta} \right)^{1/2} \quad (5.4)$$

$$I_{SS} = i_{D1} + i_{D2} \quad (5.5)$$

Sostituendo la (5.5) nella (5.4) si ottengono le soluzioni per le due correnti di drain di M1 e M2:

$$i_{D1} = \frac{I_{SS}}{2} + \frac{I_{SS}}{2} \sqrt{\frac{\beta v_{ID}^2}{I_{SS}} - \frac{\beta^2 v_{ID}^4}{4I_{SS}^2}} \quad (5.6)$$

$$i_{D2} = \frac{I_{SS}}{2} - \frac{I_{SS}}{2} \sqrt{\frac{\beta v_{ID}^2}{I_{SS}} - \frac{\beta^2 v_{ID}^4}{4I_{SS}^2}} \quad (5.7)$$

Assumendo che le correnti che fluiscono nello specchio di corrente siano uguali, si può valutare i_{out} come la differenza tra le correnti di drain dei MOS di ingresso date dalla (5.6) e dalla (5.7). Dato che abbiamo espresso una corrente di uscita in funzione di una differenza di tensione in ingresso, possiamo definire il parametro di transconduttanza dell'amplificatore differenziale, g_{md} , differenziando i_{out} rispetto alla v_{ID} e valutandola nel punto $V_{ID} = 0$. Utilizzando la (5.6) e la (5.7) si ottiene la seguente relazione:

$$g_{md} = \frac{di_{out}}{dv_{ID}}; (v_{ID} = 0) = \sqrt{\frac{K_1 I_{SS} W_1}{L_1}} \quad (5.8)$$

Supponendo di collegare un carico resistivo R_L in uscita, la tensione di uscita sarà data dalla relazione:

$$v_{out} = (i_{D1} - i_{D2})R_L = I_{SS} \sqrt{\frac{\beta v_{ID}^2}{I_{SS}} - \frac{\beta^2 v_{ID}^4}{4I_{SS}^2}} R_L \quad (5.9)$$

Si noti come nelle relazioni sopra discusse il parametro di transconduttanza, che caratterizza il comportamento dinamico del MOS, sia dipendente dalla corrente forzata da M5, che è un parametro statico del circuito.

5.2.2 Stadio di uscita

Lo stadio di uscita può essere realizzato in vari modi a seconda delle esigenze richieste. In questo paragrafo ci limitiamo ad analizzare uno stadio di uscita realizzato con un amplificatore invertente, rimandando alla letteratura per altre configurazioni [12].

In fig. 5.2 è illustrato lo schema di un amplificatore invertente CMOS, mentre in fig. 5.3 è rappresentato il circuito equivalente per piccoli segnali.

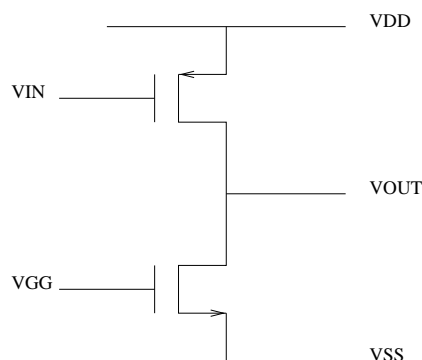


Figura 5.2: *Schema di un invertitore CMOS*

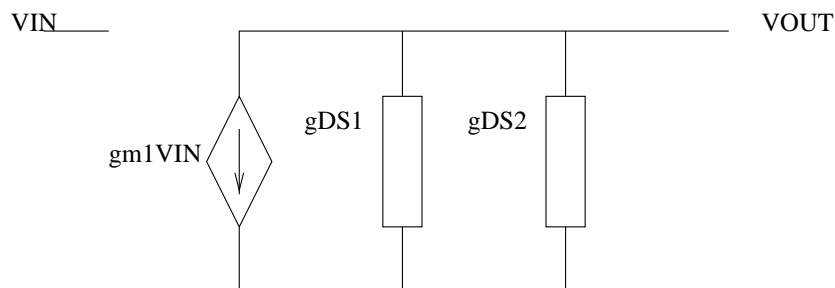


Figura 5.3: *Circuito equivalente per piccoli segnali del circuito in fig. 5.2*

Il gate del transistor M2 viene fissato ad un livello di tensione noto in modo da farlo lavorare in zona di saturazione e più precisamente come pozzo di corrente. Si potrebbe collegare il gate di M2 direttamente all'uscita, trasformando M2 in un carico attivo. Di solito questo non è conveniente in quanto di fatto viene limitato il guadagno e la resistenza di uscita risulta maggiore.

Soffermandosi sulla configurazione illustrata si trova che il guadagno dello stadio è dato dalla relazione:

$$\frac{v_{out}}{v_{in}} = \frac{g_{m1}}{g_{ds1} + g_{ds2}} \quad (5.10)$$

5.3 Cenni sulle metodologie per il disegno di circuiti integrati

La progettazione di un circuito integrato, sia esso analogico o digitale, segue una procedura ben definita che può essere facilmente descritta mediante uno schema a blocchi (fig. 5.4). In pratica, dalle specifiche di progetto si parte dalla realizzazione in linea di massima del circuito. Una volta definito il circuito, vengono affinati i parametri circuitali mediante ripetute simulazioni al calcolatore. Se si è raggiunta una configurazione ottimale si passa alla realizzazione del layout e alla sua simulazione e si itera il procedimento finché non vengono soddisfatte le specifiche di progetto. Solo a questo punto il circuito può passare alla fase di realizzazione pratica. La realizzazione pratica del circuito viene effettuata da ditte specializzate, chiamate “fonderie di silicio”, che posseggono il “know-how” necessario per la lavorazione del silicio e per la realizzazione dei dispositivi. Oltre a costruire fisicamente il dispositivo su silicio, le fonderie dettano le regole necessarie per il corretto disegno dei componenti e forniscono le librerie di modelli per la corretta simulazione. Per una descrizione dettagliata della realizzazione dei circuiti integrati si vedano i riferimenti bibliografici [13],[1]. Nel nostro caso la fonderia è la AMS e viene usata la tecnologia a $0.8\mu\text{m}$, vale a dire che la lunghezza minima per il canale di un MOS è, appunto, di $0.8\mu\text{m}$ con una incertezza di $0.1\mu\text{m}$.

La fase di disegno del layout di un circuito elettronico viene eseguita interamente tramite appositi programmi di CAD (Computer Aided Design). Nel nostro caso specifico è stato utilizzato CADENCE, uno dei più diffusi ambienti di sviluppo VLSI in commercio, il quale, come già visto nei capitoli precedenti, integra al suo interno tutta una serie di programmi e utilità che consentono lo sviluppo “da zero” di circuiti integrati sia analogici che digitali. Il layout disegnato deve sottostare a delle strette specifiche di progetto (per esempio: distanza minima tra due diffusioni, dimensione minima delle piste, eccetera) che vengono definite dalla fonderia tramite una dettagliata documentazione. Per agevolare il lavoro del progettista, le fonderie forniscono anche un particolare file, denominato “file di tecnologia”, nel quale sono riportate le regole di disegno. Il CAD è in grado di leggere il file e verifica che le regole siano rispettate, avvisando l’utente di eventuali errori.

Per la realizzazione del disegno esistono diverse strade, partendo dal metodo più economico, i sistemi più in uso sono:

- PGA (Programmable Gate Array) e FPGA (Field Programmable Gate Array)
- Sea of gates

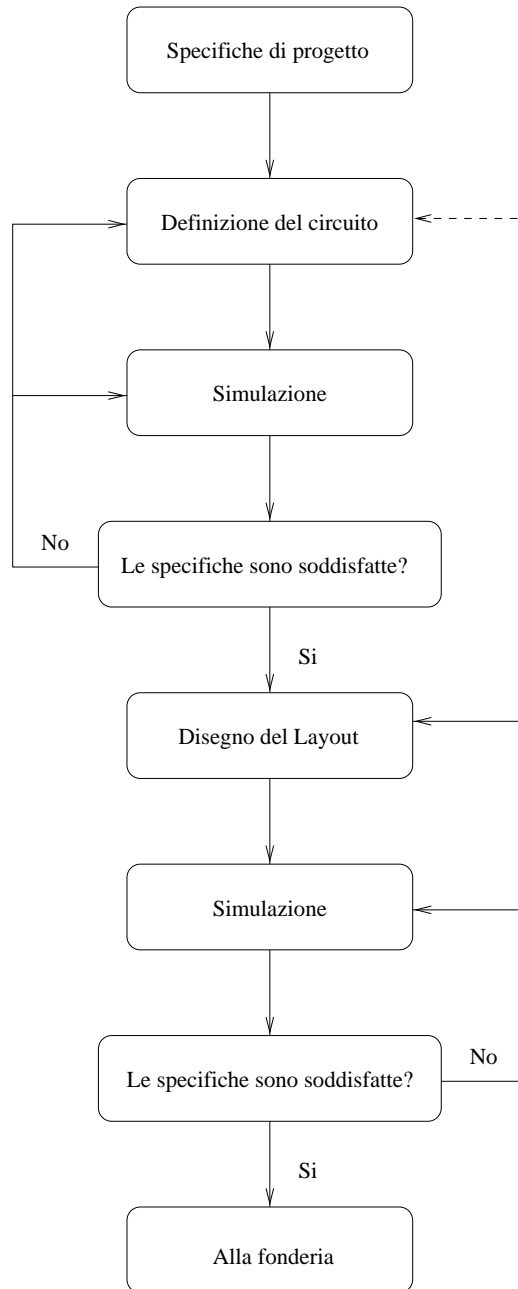


Figura 5.4: *Diagramma di flusso della procedura di disegno del layout*

- Standard Cells
- Full custom

I circuiti PGA e FPGA contengono al loro interno una matrice di transis-

tor, già predisposti e interconnessi. Il circuito viene definito dal progettista programmando il chip, vale a dire determinando quali connessioni abilitare e quali inibire. La programmazione avviene tramite appositi programmi di CAD o tramite l'uso di linguaggi di programmazione dedicati, per esempio il VHDL.

I circuiti di tipo “Sea of gates” sono anch'essi formati da una matrice di transistor. In questo caso lo sviluppatore deve disegnare le connessioni tra i vari componenti. La fonderia si occuperà di creare le connessioni disegnate su un chip dove sono stati pre-diffusi i transistor.

Proseguendo in ordine di difficoltà di realizzazione e di costo di sviluppo troviamo i circuiti di tipo “Standard Cells”. In questo caso il disegno viene fatto interamente dal progettista che sceglie i componenti da una libreria fornita dalla fonderia.

Il metodo di disegno più lungo e costoso è senza dubbio quello Full custom. In questo caso il progettista deve non solo disegnare le connessioni, ma anche creare manualmente ogni singolo componente.

Da quanto detto finora è evidente che un disegno full custom abbia costi di realizzazione estremamente alti a causa del tempo richiesto alla realizzazione e a causa della elevata possibilità di commettere errori. Purtroppo le prime tre tipologie elencate non sono adatte alla realizzazione di circuiti analogici dove è molto importante calibrare le dimensioni di ogni singolo transistor. Fortunatamente il peso del disegno di un chip full custom analogico è alleviato dal fatto che i componenti di un circuito analogico sono di solito decisamente meno di quelli digitali (decine o centinaia contro diverse decine di migliaia).

Il processo di fabbricazione CMOS permette di realizzare sullo stesso chip transistor a canale n e a canale p. La tecnologia da noi utilizzata mette a disposizione per il disegno delle connessioni e delle piste due metallizzazioni, METAL1 e METAL2, e due depositi di polisilicio, POLY1 e POLY2, permettendo così la realizzazione di quattro strati sovrapposti di collegamenti. La tecnologia usa la tecnica n-well, vale a dire che il wafer di silicio è leggermente drogato di tipo p. Per la realizzazione dei MOS di tipo n il bulk del transistor è il substrato stesso, mentre per i MOS di tipo p è necessario diffondere preventivamente l'area dove si intende realizzare il transistor con impurità del V gruppo in modo da invertire il tipo di drogaggio e creare un substrato di tipo n, da qui il nome di tecnica n-well.

5.4 Progetto di un amplificatore differenziale a due stadi

5.4.1 Compensazione dei poli

Utilizzando un sistema a due stadi, il circuito per piccoli segnali è mostrato in fig. 5.5.

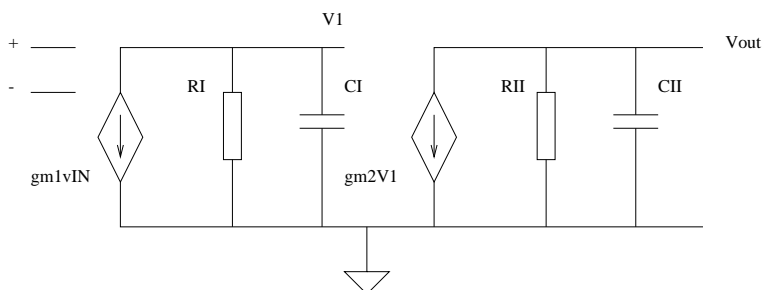


Figura 5.5: *Circuito equivalente per piccoli segnali di un amplificatore operazionale a due stadi*

Si nota subito dalla figura che la presenza delle due capacità in uscita su ogni stadio introducono un polo ciascuna, il comportamento del circuito sarà dunque del secondo ordine. Nella progettazione di un amplificatore operazionale è di fondamentale importanza la posizione dei poli, in particolare dei poli non dominanti, ciò a causa del fatto che gli operazionali vengono tipicamente utilizzati con un circuito di controreazione.

Ricordiamo brevemente che, nel dominio delle frequenze, un polo nella funzione di trasferimento di un sistema comporta una diminuzione del suo modulo di 20dB per decade e uno spostamento della fase di 90° . Se in un sistema controreazionato un secondo polo porta la fase del segnale a 180° quando il modulo della funzione di trasferimento si trova ancora sopra l'asse degli 0dB (vale a dire in un punto in cui il guadagno è ancora maggiore di uno), si otterrà che la controreazione si comporterà di fatto come una reazione positiva, rendendo il circuito instabile.

Facendo sempre riferimento alla figura 5.5, l'ubicazione dei poli nel dominio delle frequenze è dato dalle seguenti equazioni:

$$p'_1 = \frac{-1}{R_I C_I} \quad (5.11)$$

$$p'_2 = \frac{-1}{R_{II} C_{II}} \quad (5.12)$$

Tipicamente i due poli sono posizionati ad alte frequenze e sono relativamente vicini tra loro. Il fatto che i due poli siano vicini comporta, di solito, che il margine di fase sia significativamente molto al di sotto di 45° . Risulta quindi necessario compensare l'amplificatore per garantire un buon margine di fase, soprattutto quando esso viene usato in configurazioni di retroazione.

La tecnica da noi utilizzata consiste nel collegare una capacità C_c tra l'uscita e l'ingresso del secondo stadio. A causa dell'effetto Miller [7] la capacità è equivalente a due capacità poste in parallelo sull'uscita dei due stadi, in fig. 5.6 è mostrato il circuito equivalente per piccoli segnali. L'aggiunta della capacità provoca lo spostamento dei due poli, p'_1 viene spostato a frequenze minori mentre p'_2 viene spostato verso frequenze maggiori.

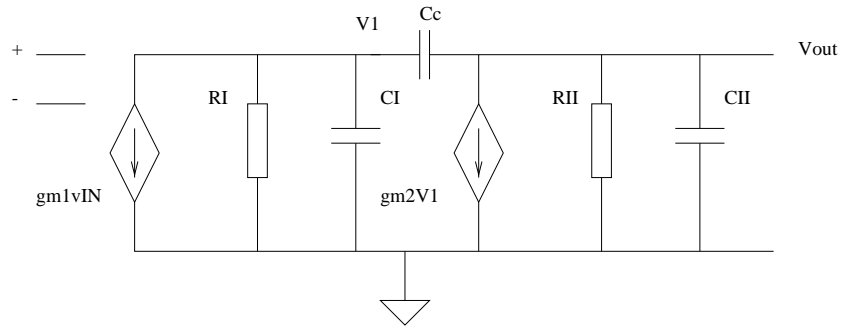


Figura 5.6: *Schema di un amplificatore differenziale*

La funzione di trasferimento del circuito equivalente di fig. 5.6 è data dalla seguente equazione:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{g_{mI} g_{mII} R_I R_{II} (1 - s C_c / g_{mII})}{1 + s [R_I (C_I + C_c) + R_{II} (C_{II} + C_c) + g_{mII} R_I R_{II} C_c] + s^2 R_I R_{II} [C_I C_{II} + C_c (V_I + C_{II})]} \quad (5.13)$$

risolvendo la (5.13) si trovano i seguenti valori per i poli compensati:

$$p_1 \simeq \frac{-1}{g_{mII} R_I R_{II} C_c} \quad (5.14)$$

$$p_2 = \frac{-g_{mII} C_c}{C_I C_{II} + C_{II} C_c + C_I C_c} \quad (5.15)$$

se C_{II} è molto maggiore di C_I e C_c è maggiore di C_I , la (5.15) può essere approssimata come:

$$p_2 \simeq \frac{-g_{mII}}{C_c} \quad (5.16)$$

Questo metodo di compensazione genera anche uno zero reale nel semipiano di destra, dato da:

$$z_1 = \frac{g_{mII}}{C_c} \quad (5.17)$$

Sia p_2 ma soprattutto z_1 sono i responsabili dell'instabilità del circuito. Va dunque ricercato il valore appropriato di C_c affinché p_2 e z_1 siano ubicati a frequenze maggiori di quella dove il sistema interseca l'asse a 0dB nel diagramma di Bode. In questo modo si è sicuri di garantire un margine di fase di almeno 45° .

Si dimostra che il guadagno di banda unitario è circa:

$$GB \simeq \frac{g_{mI}}{C_c} \quad (5.18)$$

Si può dimostrare che se lo zero è situato ad almeno una frequenza dieci volte maggiore di GB, allora per ottenere un margine di fase di 45° , p_2 va situato almeno a 1.22 volte il valore di GB. Assumendo un margine di fase di 60° si ottiene:

$$C_c > \frac{2.2C_2}{10} = 0.22C_2 \quad (5.19)$$

5.4.2 Metodologie di progetto

Per la realizzazione di un amplificatore differenziale a due stadi, esiste in letteratura [12] una procedura che permette di definire in modo preliminare le dimensioni dei componenti, partendo dalle specifiche di progetto. Per semplificare la notazione definiamo il rapporto tra larghezza e lunghezza di canale del MOS i -esimo come:

$$S_i = \frac{W_i}{L_i} \quad (5.20)$$

Facendo riferimento al circuito mostrato in fig. 5.7 e assumendo che $g_{m1} = g_{m2} = g_{mI}$, $g_{m6} = g_{mII}$, $g_{DS2} + g_{DS4} = G_I$ e $g_{ds6} + g_{ds7} = G_{II}$, ricordiamo le che valgono le seguenti relazioni:

- Slew rate:

$$SR = \frac{I_5}{C_c} \quad (5.21)$$

- Guadagno del primo stadio:

$$A_{v1} = \frac{g_{m2}}{g_{ds2} + g_{ds4}} = \frac{2g_{m2}}{I_5(\lambda_2 + \lambda_4)} \quad (5.22)$$

- Guadagno del secondo stadio:

$$A_{v2} = \frac{g_{m6}}{g_{ds6} + g_{ds7}} = \frac{g_{m6}}{I_6(\lambda_6 + \lambda_7)} \quad (5.23)$$

- Guadagno di banda:

$$GB = \frac{g_{m2}}{C_c} \quad (5.24)$$

- Polo di uscita:

$$p_2 = \frac{-g_{m6}}{C_L} \quad (5.25)$$

- Zero nel semipiano di destra:

$$z_1 = \frac{g_{m6}}{C_c} \quad (5.26)$$

- CMR positivo:

$$V_{in(max)} = V_{DD} - \left(\frac{I_5}{\beta_3}\right)^{1/2} - |V_{TO3}|_{max} + V_{T1(min)} \quad (5.27)$$

- CMR negativo:

$$V_{in(min)} = V_{SS} - \left(\frac{I_5}{\beta_1}\right)^{1/2} - V_{T1Max} + V_{DS5}(sat) \quad (5.28)$$

- Tensione di saturazione:

$$V_{DS}(sat) = \left(\frac{2I_{DS}}{\beta}\right) \quad (5.29)$$

Per le dimostrazioni si rimanda alla bibliografia [12]. Si presuppongono noti i seguenti parametri:

- Guadagno in continua ad anello aperto, $A_v(0)$
- Guadagno di banda, GB
- Range di modo comune in ingresso, CMR
- Capacità di carico, C_L
- Slew rate, SR
- Massima escursione della tensione di uscita
- Potenza dissipata, P_{diss}

Ognuno di questi parametri pone dei vincoli nella progettazione, e spesso capita che le richieste siano in conflitto (per esempio una bassa potenza dissipata con un elevato slew-rate). Nel caso uno o più parametri non siano specificati, il progettista avrà un grado di libertà maggiore nella fase di progetto e potrà decidere un valore che gli permetta di soddisfare le richieste.

La procedura inizia con la scelta della lunghezza minima del canale dei MOS. La scelta è vincolata verso il basso dalla tecnologia utilizzata. Nel nostro caso la tecnologia ci impone un limite inferiore di $0.8\mu\text{m}$ con una tolleranza di $0.1\mu\text{m}$. A differenze dei circuiti digitali, dove viene privilegiata la compattezza del disegno, nei circuiti analogici CMOS è importante la dimensione dei transistor e di solito si tende ad usare valori lontani dal limite inferiore per attenuare l'errore dovuto alla tolleranza. Nel nostro caso si è utilizzata una lunghezza minima del canale pari a $5\mu\text{m}$.

Il successivo passo consiste nello stabilire il valore della capacità di compensazione secondo la relazione (5.19)

Una volta calcolata C_c e noto il valore minimo dello slew-rate, è possibile calcolare la corrente minima che fluisce nella pompa di corrente dello stadio differenziale (ovvero la corrente di drain del MOS M5).

È ora possibile determinare le geometrie dei transistor dello stadio differenziale. Le dimensioni dei pMOS di carico sono date dalla seguente relazione:

$$S_3 = (W_3/L_3) = S_4 = \frac{I_5}{(K'_3)[V_{DD} - V_{in(MAX)} - |V_{T03}|(Max) + V_{T1(min)}]} \quad (5.30)$$

Se il valore di S_3 risultasse minore di uno, allora andrebbe aumentato ad un valore che minimizzi il prodotto WL . In questo modo si minimizza l'area di gate e di conseguenza la capacità di gate di M3 e M4 che comportano la

creazione di una coppia polo-zero responsabili di una leggera degradazione del margine di fase, da noi non analizzata.

Le dimensioni della coppia di ingresso vengono determinate secondo la seguente relazione:

$$S_2 = (W_2/L_2) = S_1 = \frac{g_{m2}^2}{K'_2 \cdot I_5} \quad (5.31)$$

dove la transconduttanza g_{m2} di M2 viene calcolata come:

$$g_{m2} = GB \cdot C_c \quad (5.32)$$

Utilizzando la (5.28) è ora possibile calcolare la tensione di saturazione di M5:

$$V_{DS5}(sat) = V_{SS} - \left(\frac{I_5}{\beta_1}\right)^{1/2} - V_{T1Max} + V_{in(min)} \quad (5.33)$$

Se il valore della V_{DS5} risulta negativo, è necessario ridurre I_5 oppure aumentare la S_1 . Gli effetti di queste modifiche devono essere tenuti in considerazione nei passi precedenti. Si tratta dunque di iterare i passi finora analizzati fino ad ottenere un valore soddisfacente. Una volta ottenuto tale valore è finalmente possibile calcolare la dimensione di M5 secondo la seguente relazione derivata dalla (5.29):

$$S_5 = (W_5/L_5) = \frac{2I_5}{K'_5 \cdot (V_{DS5})^2} \quad (5.34)$$

Calcolate le dimensioni dei componenti dello stadio differenziale, si passa allo stadio di uscita. Si è già visto come il polo di uscita debba essere localizzato 2.2 volte il guadagno di banda per ottenere un margine di fase di 60° . Basandosi su questa affermazione e utilizzando la relazione (5.25), possiamo determinare il valore della transconduttanza per M6:

$$g_{m6} = 2.2 \cdot g_{m2} \frac{C_L}{C_c} \quad (5.35)$$

che ci permette di calcolare S_6 secondo la relazione:

$$S_6 = (W_6/L_6) = \frac{g_{m6}}{K'_6} \quad (5.36)$$

Ottenuta S_6 , si calcola la corrente I_6 secondo le due relazioni riportate a seguire:

$$I_6 = \frac{g_{m6}^2}{2 \cdot K'_6 S_6} \quad (5.37)$$

$$I_6 = I_1 \frac{S_6}{S_3} \quad (5.38)$$

e scegliendo quella che dà il valore più grande della corrente. Se il valore maggiore è dato dalla (5.37), allora bisogna riscrivere S_6 per far sì di ottenere una corrente di drain tale per cui il valore maggiore sia dato dalla (5.39). Questa operazione fa sì che la corrente di drain di M6 sia determinata da un ipotetico specchio di corrente con M3.

Dato che la corrente che fluisce nel drain di M6 sarà anche la corrente che fluisce in M7, utilizzando una relazione di bilanciamento del tutto simile alla (5.39), è possibile determinare la dimensione del transistor M7 secondo la relazione:

$$S_7 = S_5 \frac{I_6}{I_5} \quad (5.39)$$

Abbiamo finalmente ottenuto le relazioni che determinano le dimensioni dei componenti del circuito.

Il guadagno teorico ad anello aperto sarà definito come:

$$A_v = \frac{2g_{m2}g_{m6}}{I_5(\lambda_2 + \lambda_3)I_6(\lambda_6 + \lambda_7)} \quad (5.40)$$

Mentre a potenza dissipata teorica è:

$$P_{diss} = (I_5 + I_6)(V_{DD} + |V_{SS}|) \quad (5.41)$$

Se il guadagno teorico risultasse inferiore a quello richiesto, allora risulterebbe necessario ridurre I_5 e I_6 oppure aumentare il rapporto W/L di M6, dopodiché reiterare i passaggi qui sopra esposti. Per diminuire il tempo necessario ad eseguire i numerosi calcoli qui esposti, è stato realizzato un semplice programma in linguaggio C, il listato è presentato nell'appendice A.

Va ancora una volta ricordato che il procedimento presentato non costituisce un algoritmo assoluto per il disegno di amplificatori a due stadi. Al momento non esiste alcuna procedura automatica che consenta di disegnare da zero un circuito analogico a causa del fatto che le variabili in gioco sono troppe e interdipendenti tra loro.

In particolare si è riscontrato che utilizzando questa procedura si ottengono delle larghezze di canale per i MOS di ingresso e per il MOS che opera come sorgente di corrente relativamente piccole. Oltre a questo, a causa della diversità tra i parametri tecnologici riportati in letteratura (che risalgono a qualche anno fa) e quelli forniti dalla fonderia, non è sempre detto che

la configurazione determinata porti a fare operare tutti i MOS in regione di saturazione, obbligando quindi a ritoccare a mano i parametri.

5.4.3 Implementazione del circuito

Nella fig. 5.7 è mostrato il circuito dell'amplificatore operazionale. Il circuito è stato realizzato collegando i due circuiti di base studiati nei precedenti paragrafi e inserendo una capacità di compensazione dei poli tra le uscite dei due stadi.

Nella zona centrale si distingue lo stadio differenziale composto dai due MOS di ingresso (M_1 e M_2), dai MOS di carico (M_3 e M_4) e dalla pompa di corrente costituita dallo specchio di corrente formato da M_5 e M_8 . A sinistra si trova lo stadio di uscita con la capacità di compensazione C_m .

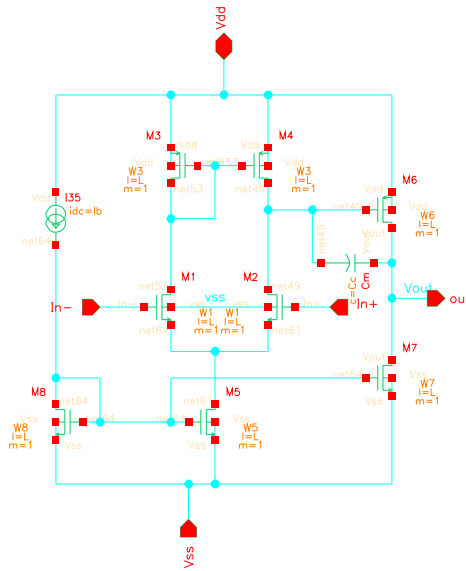


Figura 5.7: Amplificatore operazionale a MOS

5.4.4 Simulazione del circuito

Il primo passo da seguire durante la simulazione è la verifica che tutti i MOS siano in regione di saturazione. Si è subito notato come il transistor M7 fosse fuori saturazione ed è quindi stato necessario ritoccare manualmente il dimensionamento dei transistor per ottenere un migliore bilanciamento del circuito. I valori ricalcolati sono riportati nella seguente tabella:

W1	43 μm
W2	43 μm
W3	10 μm
W4	10 μm
W5	38 μm
W6	323 μm
W7	644 μm
W8	38 μm
C_c	4.4 pF
I_B	8.8 μA

Una volta verificata la completa saturazione, si è simulato il comportamento ad anello aperto. In fig. 5.8 è mostrata la risposta in AC del circuito.

Il circuito presenta un guadagno ad anello aperto, A_v , di 244000 pari a 108dB con un prodotto guadagno-banda di 1.4 MHz. Il prodotto guadagno-banda è stato ricavato dal valore della risposta in AC nel punto in cui interseca l'asse a 0db. Il simulatore riporta inoltre un offset di uscita di circa 13mV.

Per stimare la resistenza di uscita è stata eseguita una analisi parametrica variando il valore di un carico resistivo, R_L , posto in uscita. Il valore della resistenza di uscita dell'amplificatore sarà uguale al valore di R_L quando il segnale in uscita risulterà dimezzato rispetto al segnale che si misurerebbe quando non vi è carico in uscita.

La simulazione è stata condotta configurando l'amplificatore come voltage follower e in tre configurazioni non invertenti a diverso guadagno (fig. 5.9). Il segnale di ingresso è una sinusoide di frequenza in banda-passante di ampiezza di 1mV, tale da garantire che l'uscita non vada in saturazione. La seguente tabella indica i valori simulati.

Guadagno	$R_{out}[\Omega]$	Configurazione
1	$\simeq 4$	Voltage Follower
2	$\simeq 4$	Amplificatore non inv.
21	$\simeq 40 \div 50$	"
101	$\simeq 240 \div 250$	"

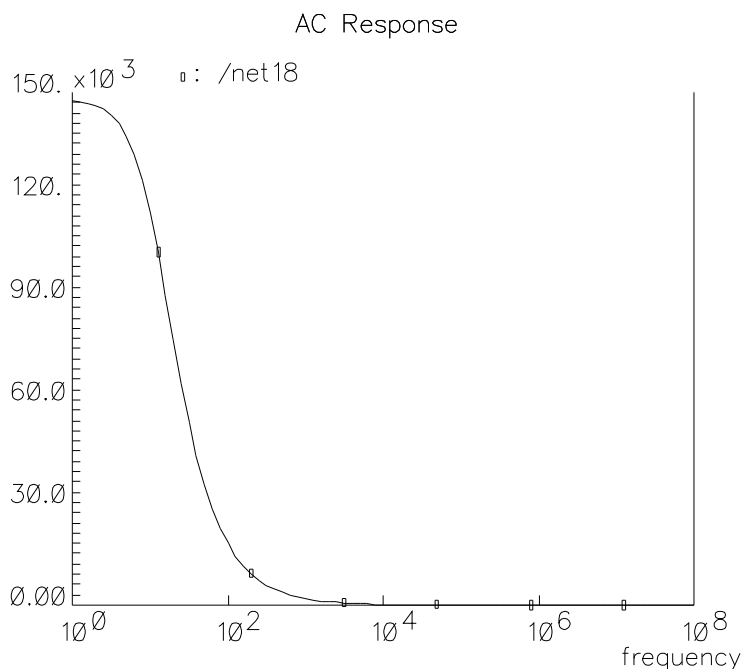


Figura 5.8: *Risposta in AC dell'Opamp*

Dalla tabella si nota come la rete di reazione influenzi il valore della resistenza di uscita. Ovviamente il valore più basso si ottiene nella configurazione di emitter follower. Si noti che in tale configurazione la resistenza di uscita è piccola ed è di valore paragonabile alla resistenza di uscita di un emitter-follower a transistor BJT.

Vanno fatte tuttavia due considerazioni: innanzitutto la R_{out} , pur essendo piccola in assoluto, risulta molto alta rispetto a quella che presenta un operazionale commerciale (che ha tipicamente valori sotto al $m\Omega$). Vi è inoltre un problema dato dal fatto che lo stadio di uscita a MOS non è in ogni caso in grado di fornire la corrente sufficiente per pilotare carichi importanti. Per ottenere una maggiore corrente in uscita sarebbe dunque opportuno inserire un ulteriore stadio di adattamento di impedenza. Nel nostro caso non ci si è soffermati su questo problema in quanto le specifiche di progetto non

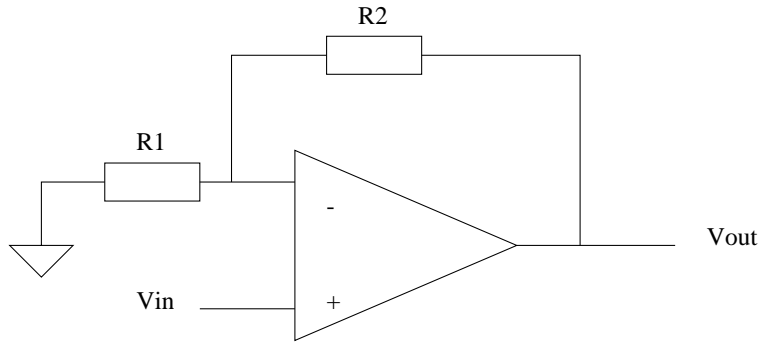


Figura 5.9: *Operazionale in configurazione non invertente*

pongono limiti inferiori alla massima corrente di uscita.

La successiva simulazione ha avuto come scopo la determinazione del dimensionamento ottimale della rete di reazione. Si è di nuovo configurato il circuito come amplificatore non invertente (si faccia di nuovo riferimento alla fig. 5.9) e si è verificata la risposta in AC parametrizzando il valore di R_1 .

Ricordiamo brevemente che il guadagno di un amplificatore in questa configurazione, ponendo $R_2 = k \cdot R_1$, è dato dalla relazione:

$$A = \frac{v_{out}}{v_{in}} = 1 + \frac{R_2}{R_1} = 1 + \frac{k \cdot R_1}{R_1} = 1 + k \quad (5.42)$$

Osservando la (5.42) sembrerebbe che il guadagno sia indipendente dal valore delle resistenze impiegate. Ciò è vero solo in un caso ideale, nella realtà le resistenze della rete di reazione spostano la ω dei due poli dell'amplificatore. Nella successiva tabella viene mostrato il variare della banda-passante e del margine di fase in funzione del valore di R_1

R_1 [k Ω]	Δf [MHz]	Margine di fase [°]
1	.413	106.5
10	1.215	60.5
100	1.484	36.2
1000	1.131	11.4

Con $R_1 = 1\text{k}\Omega$ la risposta è lenta e la banda-passante risulta minore rispetto al valore aspettato. Probabilmente questo fenomeno è da attribuirsi

al fatto che la rete di reazione assorbe troppa corrente rispetto a quella che l'operazionale potrebbe fornire. Con valori alti delle resistenze di reazione si osserva un fenomeno di "ringing" dell'uscita in risposta ad un gradino di tensione. Ciò è confermato dall'analisi in AC osservando il margine di fase. Un valore ottimale per le resistenze di reazione è dunque dell'ordine dei 10kΩ.

Le successive simulazioni hanno avuto come obiettivo la valutazione dello "slew rate" e del "settling time".

Lo slew rate SR è definito come la massima velocità alla quale può variare la tensione di uscita:

$$SR = \left(\frac{\Delta v_{out}}{\Delta t} \right)_{MAX} \quad (5.43)$$

mentre il settling time è definito come il tempo necessario affinché il segnale di uscita si stabilizzi ad un dato valore entro una tolleranza dell'uno per cento. Per fare le simulazioni si è utilizzato l'amplificatore configurato come voltage follower, questo è il caso peggiore per quanto riguarda il margine di fase in quanto la frequenza di taglio si trova molto vicino all'asse 0dB e dunque la fase sarà vicina alla frequenza di taglio.

Sfruttando la possibilità di poter simulare segnali ideali, si è mandato in ingresso un onda quadra con periodo di cento microsecondi, di ampiezza compresa tra +1.5 e -1.5 V e con tempi di salita e discesa di 1 nanosecondo.

Lo slew rate per i fronti di salita e per i fronti di discesa sono rispettivamente:

$$SR_+ = 2.047V/\mu s \quad (5.44)$$

$$SR_- = 2.005V/\mu s \quad (5.45)$$

$$(5.46)$$

Vale la pena ricordare in questa sede un effetto fastidioso dato dallo slew-rate; si supponga di inviare in ingresso un segnale sinusoidale di frequenza nota che sia in banda-passante. A priori il segnale dovrebbe essere riportato in uscita senza distorsioni. In realtà questo accade solo per segnali di piccola ampiezza, a parità di frequenza, difatti, un segnale di ampiezza maggiore varia più rapidamente, e può quindi accadere che questa variazione sia maggiore dello slew rate. A tale proposito si consideri un segnale sinusoidale descritto dalla relazione:

$$v(t) = V \cdot \sin \omega t \quad (5.47)$$

la variazione del segnale è data dalla sua derivata rispetto al tempo, ovvero:

$$\frac{dv(t)}{dt} = \omega V \cdot \cos\omega t \quad (5.48)$$

Nel punto di massima variazione del segnale non dovrà superare il valore dello slew-rate, nel nostro caso avremo:

$$SR = \text{MAX} \left(\frac{dv(t)}{dt} \right) = \omega V \quad (5.49)$$

se il segnale di ingresso ha ampiezza di 1V si otterrà:

$$SR = 2 \cdot 10^6 = \omega_{MAX} \cdot V = 2\pi f_{MAX} \cdot V \implies f_{MAX} = \frac{10^6}{\pi} \quad (5.50)$$

dove f_{MAX} rappresenta la massima frequenza del segnale di ingresso con la quale non si ha distorsione a causa dello slew-rate.

Per quanto riguarda il settling time i valori sono stati ricavati analizzando il grafico del transitorio durante la risposta all'onda quadra. I valori ottenuti per i fronti positivo e negativo sono rispettivamente:

$$ST_+ = 2.11\mu s \quad (5.51)$$

$$ST_- = 2.31\mu s \quad (5.52)$$

$$(5.53)$$

in fig. 5.10 viene riportato l'andamento dell'uscita per un onda quadra in ingresso.

5.4.5 Disegno del Layout

In fig. 5.11 è mostrato il layout di tutto l'amplificatore. Partendo da sinistra si riconosce lo stadio differenziale seguito dalle due aree di polisilicio che formano la capacità di compensazione da 5pF, e infine i due MOS di uscita.

Il circuito occupa un rettangolo di dimensioni approssimative di 300x120 μm^2 .

Disegno dello stadio differenziale

Si è visto nei precedenti paragrafi come il perfetto bilanciamento del circuito sia fondamentale per il corretto funzionamento di un amplificatore differenziale. Per ottenere il bilanciamento è necessario che i transistor dei due rami

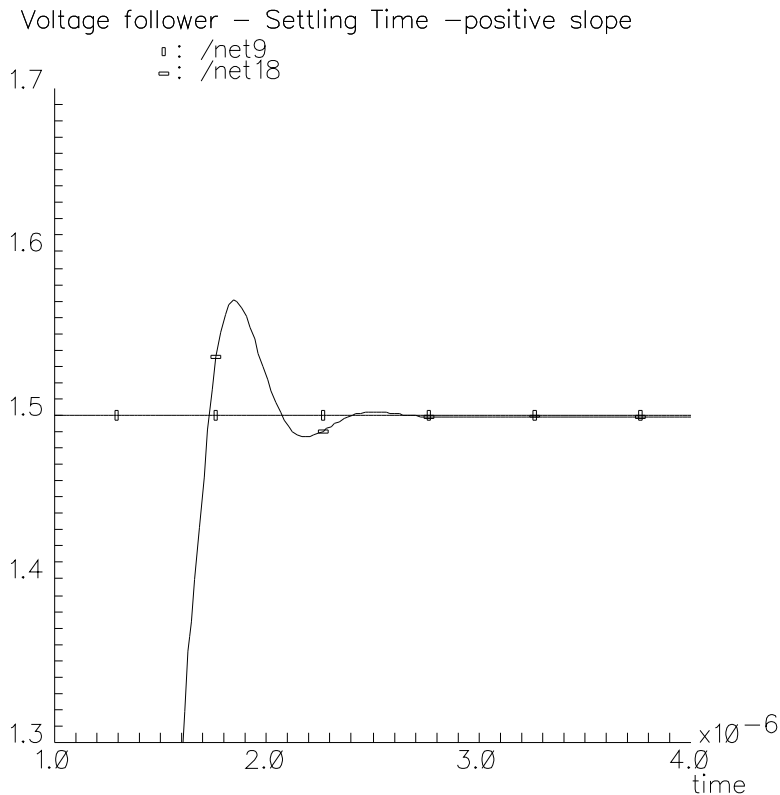


Figura 5.10: *Settling time per segnale positivo*

siano perfettamente identici. Purtroppo esistono alcuni fattori che impediscono di creare due transistor uguali. In primo luogo vi è la risoluzione delle maschere che introduce un errore nelle dimensioni reali del dispositivo. Vi possono poi essere disomogeneità nella concentrazione dei droganti e altri effetti dovuti alla anisotropia del cristallo semiconduttore. La tecnica comunemente utilizzata in questi casi è denominata a “centroide comune”. Si tratta in pratica di scomporre ognuno dei due MOS di partenza in quattro MOS con canale di lunghezza uguale e larghezza dimezzata. I quattro MOS vengono disposti a quadrato e collegati in parallelo a due a due lungo la diagonale. In breve, il primo MOS sarà formato dal parallelo del MOS in alto a sinistra con il MOS in basso a destra, mentre il secondo sarà dato dal parallelo tra quello in alto a destra e quello in basso a sinistra. In fig.5.12 è mostrato il particolare dello stadio differenziale dell’amplificatore da noi

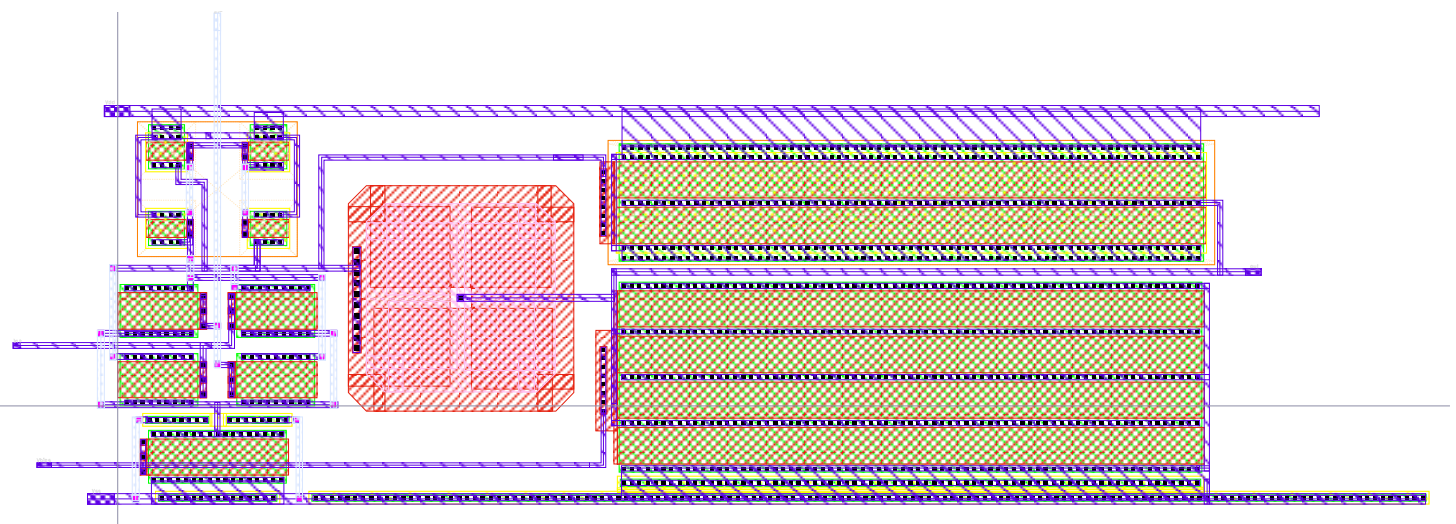


Figura 5.11: *Layout dell'amplificatore*

realizzato.

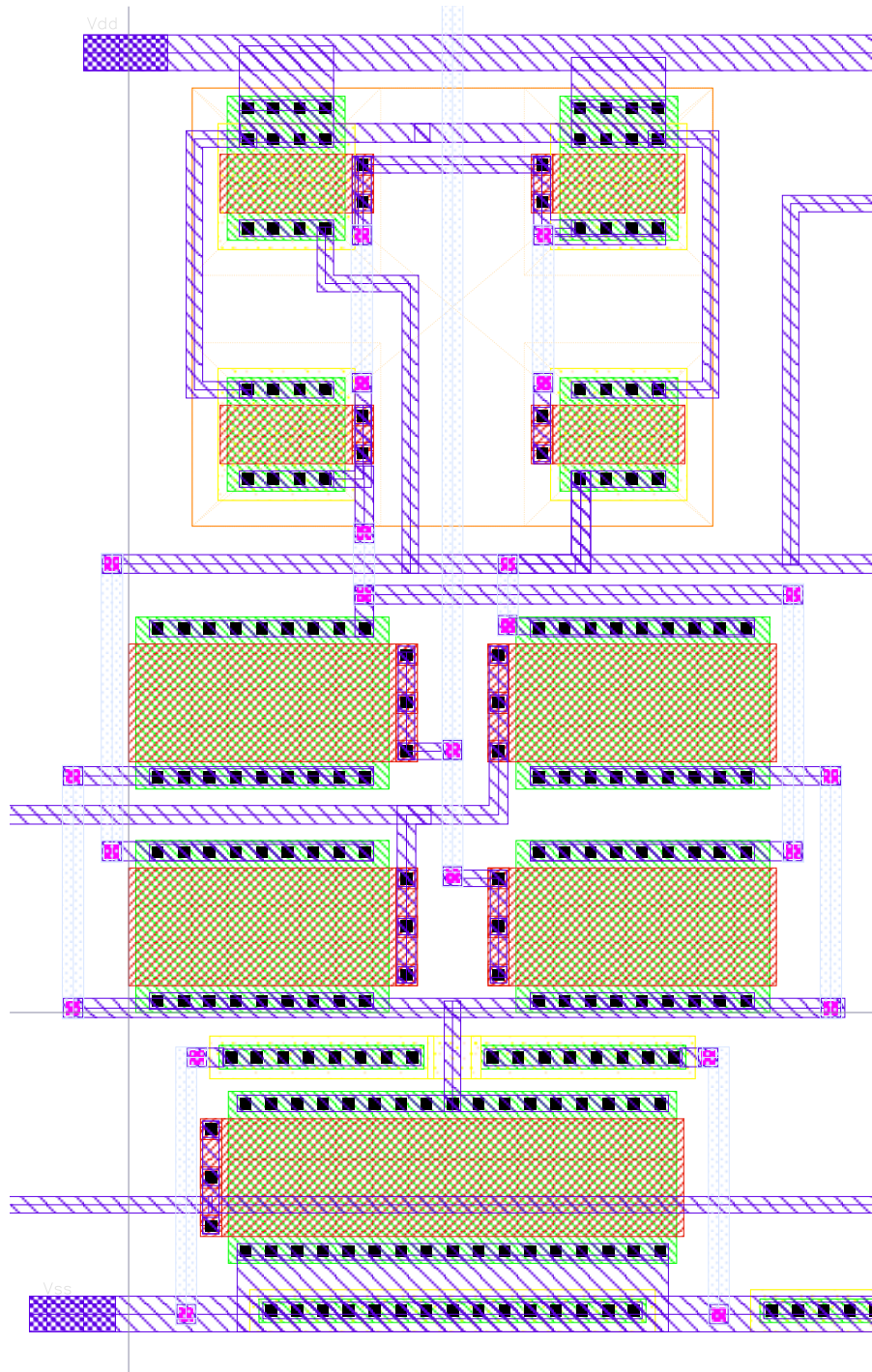


Figura 5.12: *Particolare dello stadio differenziale*

Disegno dello stadio di uscita

Lo stadio di uscita è costituito da MOS di grandi dimensioni. Per mantenere la compattezza del disegno, è possibile disegnare il transistor scomponendolo in transistor più piccoli connessi in parallelo. Per facilitare questa operazione il CAD mette a disposizione alcune geometrie particolari del MOS, in particolare la geometria “U-shaped” e “Interdigitato”. Un transistor “U-shaped” è sostanzialmente un transistor che è stato “piegato” in due nel senso della lunghezza. Il polisilicio del gate prende una forma a U che da il nome alla geometria. I rimanenti elettrodi sono presi uno sulla diffusione centrale e l’altro sulle rimanenti diffusioni a lato. I MOS interdigitati sono in pratica una sequenza in parallelo di transistor u-shaped. Il nome interdigitato deriva dal fatto che il polisilicio e le metallizzazioni presentano un disegno a “pettine” che si incastrano tra loro. Un esempio di tali geometrie è dato dai MOS di uscita del nostro amplificatore operazionale, mostrato in fig. 5.13.

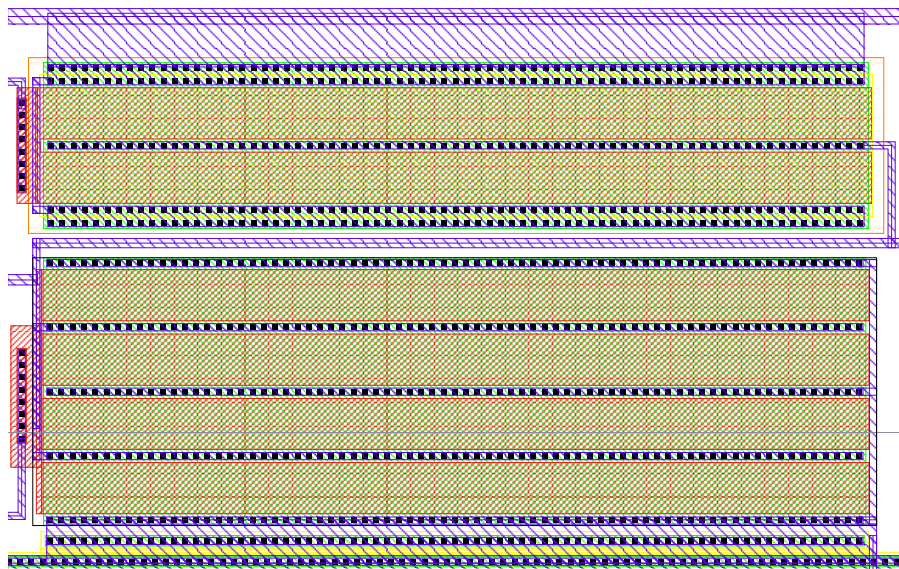


Figura 5.13: *Particolare dello stadio di uscita*

5.4.6 Disegno dei componenti passivi

Per mantenere una integrazione su larga scala, compatibilmente con le prestazioni del circuito, è importante ridurre il più possibile le geometrie dei componenti. Per questa ragione è difficile trovare resistenze nei layout di circuiti VLSI.

Questo a causa della relativamente bassa resistività dei materiali disponibili per creare il componente, che comportano una lunghezza rilevante nella dimensione del componente. Fatta eccezione per applicazioni particolari, le resistenze nei circuiti sono implementate tramite MOS che operano in regione ohmica. Un esempio può essere dato dai pMOS di carico dello stadio differenziale, mostrati nella parte alta di fig. 5.12 Per quanto riguarda le capacità esistono tre diversi modi per realizzarle che dipendono dal materiale di cui sono costituite le armature: metallo-metallo, metallo-polisilicio, polisilicio-polisilicio. In tutti e tre i casi il dielettrico è formato da uno strato di ossido tra le due armature. Dato che il dielettrico e la distanza tra le armature è fissato dalla tecnologia, l'unico parametro su cui si può agire per definire il valore della capacità è dato dalla superficie delle armature. Questo comporta che in molti casi le dimensioni dei condensatori siano rilevanti. Nel nostro caso la capacità di compensazione da 5pF, dunque relativamente piccola, ha dimensioni di un quadrato di circa $60 \times 60 \mu\text{m}^2$.

In fig. 5.14 è mostrato il particolare della capacità di compensazione realizzata usando polisilicio per le armature. Si notino gli angoli smussati al fine di evitare angoli vivi sul bordo del condensatore e lo strato di polisilicio inferiore di dimensioni maggiori rispetto a quello superiore. Si tratta di accorgimenti per ridurre gli effetti di bordo della capacità. In realtà, per ottenere una maggiore accuratezza, esistono ulteriori accorgimenti indicati dalla fonderia quali per esempio l'uso di anelli di guardia e strutture "dummy" che non sono stati adottati nel nostro specifico caso, trattandosi di una capacità di compensazione che non necessita di elevata precisione. A titolo di esempio mostriamo in fig. 5.15 il layout della capacità C_1 utilizzata nel circuito integratore del chip TERA1 analizzato nel precedente capitolo.

5.4.7 Simulazioni post-layout

Dopo aver disegnato il layout è possibile eseguire una simulazione più precisa in quanto il simulatore può prendere in considerazione tutti i parametri puramente tecnologici, che prima non erano definibili.

Riportiamo nella seguente tabella i valori più significativi precedentemente simulati accanto ai valori ricavati dalle nuove simulazioni che tengono conto del layout.

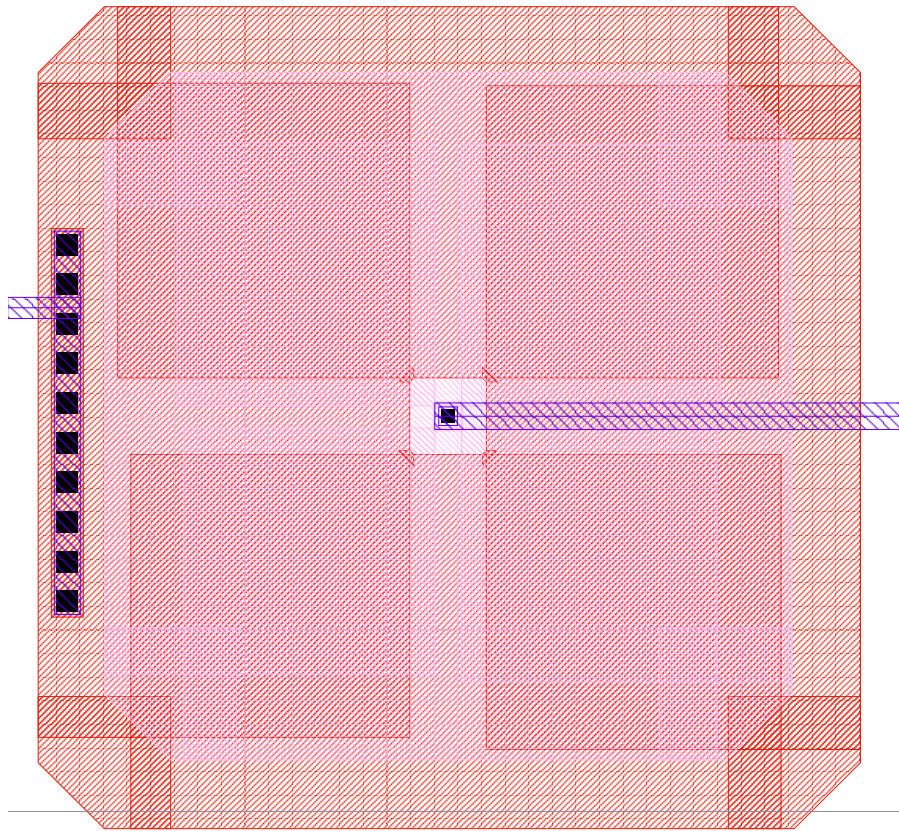


Figura 5.14: *Particolare della capacità di compensazione*

Grandezza		schematico	layout
Guadagno ad anello aperto	A_v	$\simeq 244000$	$\simeq 149000$
Banda-passante (anello aperto)	f_t [Hz]	$\simeq 8$	$\simeq 13$
Prodotto guadagno banda	GB [MHz]	$\simeq 1.4$	$\simeq 1.3$
Potenza dissipata	P_{diss} [μ W]	$\simeq 860$	

Come era prevedibile, tenendo conto del layout si osserva una degradazione nelle prestazioni del circuito. Si noti come la diminuzione del guadagno è accompagnata da un aumento della banda passante tale che il prodotto guadagno banda rimane pressoché invariato.

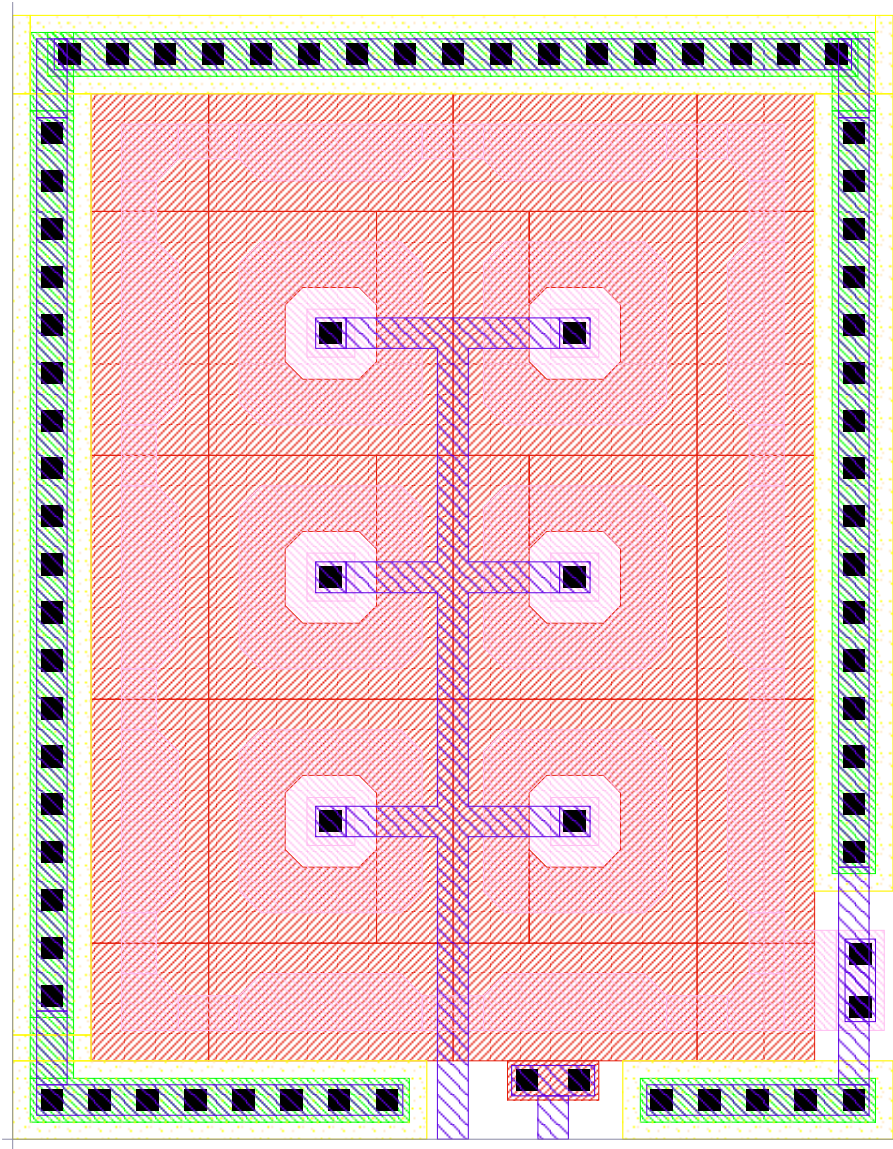


Figura 5.15: *Capacità in polisilicio realizzata secondo le specifiche AMS*

5.5 Sviluppo di un amplificatore con pMOS in ingresso

Nelle precedenti sezioni è stata illustrata la procedura che ha portato alla realizzazione di un amplificatore operazionale. Il circuito sopra realizzato, pur avendo prestazioni interessanti, mal si adatta alle nostre esigenze di progetto, in particolare si riscontrano i seguenti inconvenienti:

- La larghezza dei MOS in ingresso è relativamente piccola, questo comporta un minore guadagno dello stadio differenziale e di conseguenza di tutto il circuito.
- Per avere il migliore rapporto segnale rumore è opportuno utilizzare come transistor di ingresso dei MOS a canale p anzichè a canale n, la motivazione va ricercata nella minore mobilità delle lacune rispetto agli elettroni che comporta di fatto in una minore densità spettrale.

rappresentato. Si noti che da quanto detto nel capitolo 2, un modo per diminuire il rumore dello stadio di ingresso consiste nell'aumentare l'area del canale. Se si mantiene la lunghezza del canale costante, questo porterà un aumento del guadagno dello stadio.

5.5.1 Realizzazione del circuito

In fig. 5.16 è lo schematico del circuito realizzato (che per il momento è stato battezzato POP). La prima differenza che si nota rispetto al circuito precedentemente realizzato è la presenza di una ulteriore coppia di MOS, M8 e M9, nello stadio differenziale. I due MOS non modificano sostanzialmente il funzionamento del circuito e costituiscono un espediente trovato in letteratura [12] per aumentare il rapporto di reiezione delle alimentazioni (PSRR, *Power Supply Rejection Ratio*). Ricordiamo che il PSRR è definito come il prodotto tra il rapporto della variazione del valore delle alimentazioni sulla variazione dell'uscita dell'operazionale causata dalla variazione delle alimentazioni e il guadagno ad anello aperto, ovvero:

$$\text{PSRR} = \frac{\Delta V_{dd}}{\Delta V_{OUT}} \cdot A_{OL} = \frac{V_O/V_{IN}(V_{dd} = 0)}{V_O/V_{dd}(V_{IN} = 0)} \quad (5.54)$$

5.5.2 Simulazione del circuito

Come nel caso precedente, una volta fissate le dimensioni dei componenti, si è fatta una analisi dei punti di lavoro di tutti i MOS, in modo da verificare il funzionamento in regione di saturazione. Si è inoltre eseguita una simulazione parametrica in modo da trovare il valore di V_{bias} che assicuri un miglior funzionamento del circuito. Si è trovato che ponendo $V_{bias} = -1.5V$ garantisce una corretta operatività dei transistor e di pari passo comporta il miglior guadagno ad anello aperto.

Nella seguente tabella sono riportati i valori stabiliti per le dimensioni dei transistor.

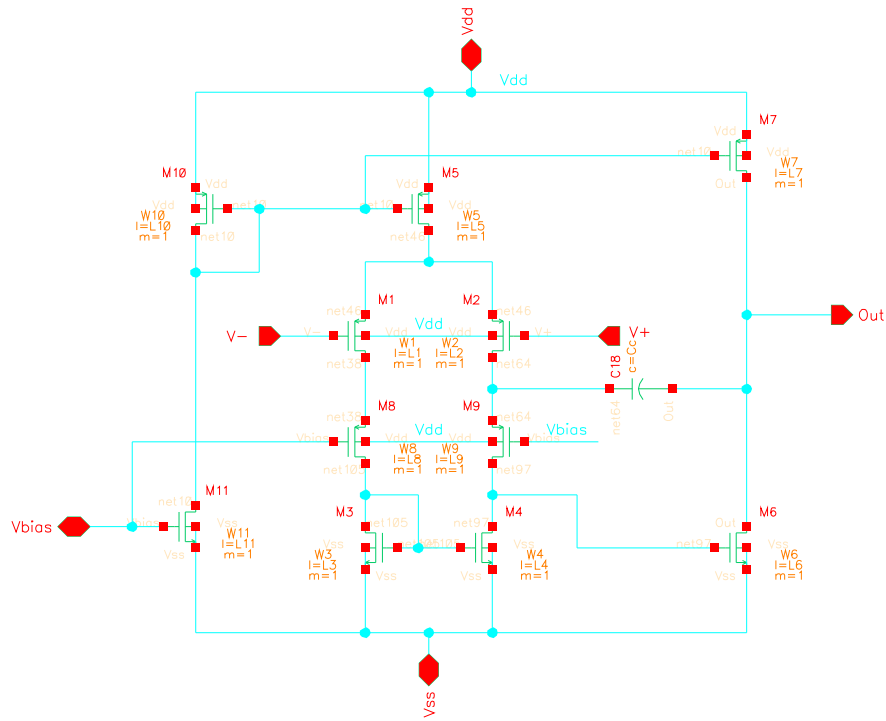


Figura 5.16: Schematico dell'amplificatore operazionale POP

MOS	L [μm]	W [μm]
1	5	26
2	5	26
3	37.5	60
4	37.5	60
5	10	175
6	10	27.5
7	10	150
8	5	60
9	5	60
10	10	30
11	5	5

Tenendo conto della 5.19, si è scelta una capacità di carico C_L di valore

50pF. Un valore così elevato è stato scelto per tener conto della capacità di ingresso del convertitore analogico digitale al quale il circuito potrebbe essere collegato in futuro. Tali dispositivi hanno difatti elevata capacità di ingresso.

Nella seguente tabella vengono riportati il valore del guadagno ad anello aperto e della frequenza di taglio del circuito.

Guadagno ad anello aperto	A_v	$\simeq 2.8 \cdot 10^6$
Frequenza di taglio	f_t	$\simeq 7.786 \text{ Hz}$
Banda di rumore	f_{noise}	$\simeq 12.23 \text{ Hz}$

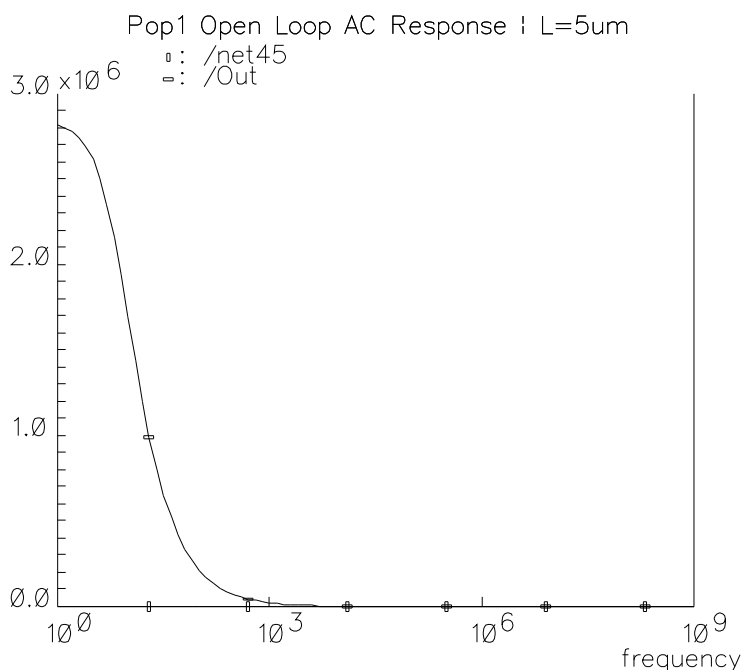


Figura 5.17: *Risposta in AC del circuito POP*

In fig. 5.17 è mostrata la risposta in AC del circuito.

Dato che l'unica specifica importante nella realizzazione del circuito è il basso rumore, le simulazioni hanno avuto come scopo primario la determinazione delle geometrie dei MOS che soddisfano tale richiesta.

Si è quindi eseguita una analisi del rumore per diversi valori delle dimensioni dei transistor. L'analisi è stata condotta con i simulatori SPICE e SPECTRE. Spectre risulta molto veloce nell'analisi ed inoltre incorpora la possibilità di visualizzare automaticamente il grafico del rumore. Si è tuttavia notato che i valori calcolati da Spectre sono più ottimistici di, e si è quindi optato per continuare le analisi con Hspice.

Nella fig. 5.18 viene riportata il rumore in uscita per il circuito ad anello aperto con i MOS M1 e M2 aventi larghezza pari a $26\mu\text{m}$

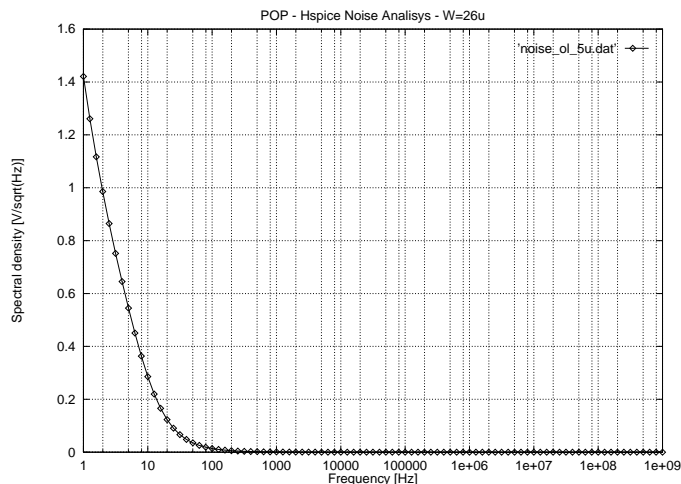


Figura 5.18: Rumore in uscita con $W=26\mu\text{m}$

Si è quindi proceduto a variare la W dei MOS M1 e M2. Anche in questo caso il primo passo è stato quello di verificare che tutti i transistor fossero polarizzati in regione di saturazione. Non è stato necessario apportare alcuna modifica alle geometrie degli altri transistor per raggiungere questo scopo. In fig. 5.19 viene riportata la risposta in AC del circuito riscaldato.

Il circuito presenta le seguenti caratteristiche:

Guadagno ad anello aperto	A_v	$\simeq 3.34 \cdot 10^6 \rightarrow 130.47\text{dB}$
Frequenza di taglio	f_t	$\simeq 1.467 \text{ Hz}$
Prodotto Guadagno-Banda	GB	1.834 MHz
Potenza dissipata	P_{diss}	$\simeq 52\mu\text{W}$
Banda di rumore	f_{noise}	$\simeq 12.23 \text{ Hz}$

Un primo effetto che si nota è l'aumento del guadagno provocato dall'aumento del guadagno dello stadio differenziale. Inoltre, l'aumento del guadagno del primo stadio sposta a frequenze più basse il polo dominante, comportando una frequenza di taglio inferiore.

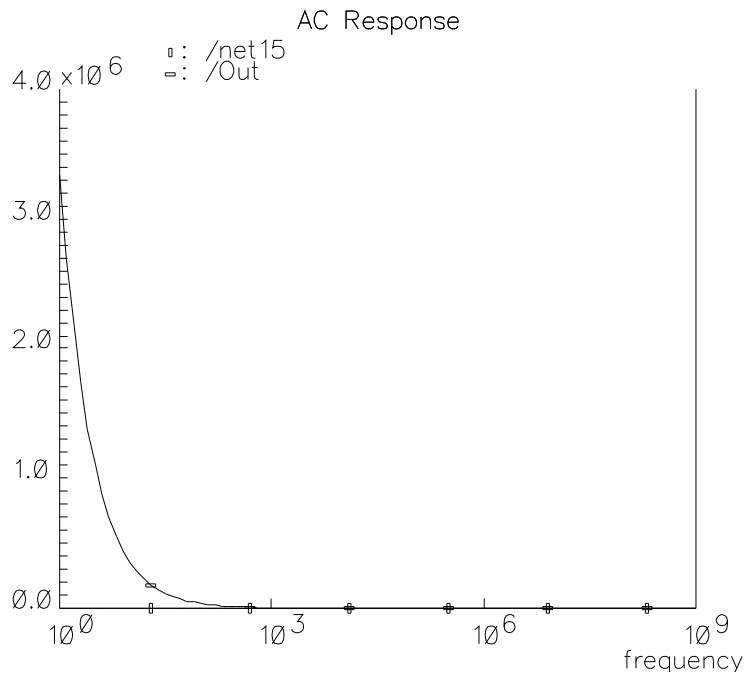


Figura 5.19: *Risposta in AC del circuito POP - $W_1 = W_2 = 400\mu m$*

Nella fig. 5.20 viene invece mostrato l'andamento del rumore in uscita.

Confrontando i grafici (5.18) e (5.20) appare evidente come l'aver aumentato le dimensioni di M1 e M2 abbia portato benefici in termini del rumore. Questo risultato era d'altronde aspettato, considerando quanto detto a proposito del rumore nei MOS nel capitolo 2. A conferma si noti come il rumore in uscita sia essenzialmente di tipo $1/f$.

Per completezza riportiamo i valori simulati da Hspice per il rumore in ingresso e in uscita del circuito nella banda di rumore.

nostro caso, tenendo conto che le correnti da integrare sono molto piccole si è adottato un valore di 200fF.

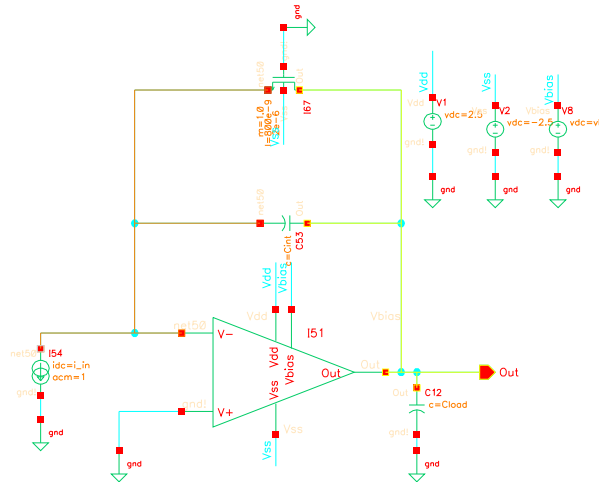


Figura 5.21: POP in configurazione di integratore di corrente

Una capacità di queste dimensioni non presenta grossi problemi di realizzazione in un circuito VLSI, se non per le inevitabili correnti di perdita lungo il bordo della stessa. La AMS fornisce una libreria di capacità in polisilicio che ben si prestano allo scopo, in questo modo si evita il lungo processo di disegno della geometria dei piani di polisilicio e nel contempo si hanno garanzie di utilizzare un componente dalle prestazioni ottimali.

Il MOS in parallelo alla reazione funziona da interruttore e serve per scaricare la capacità.

A questo proposito vanno fatte alcune osservazioni. Per realizzare uno switch nella tecnologia di cui disponiamo, si usa un transistor MOS funzionante nella regione di non saturazione. Sapendo che la tensione sul bulk è necessariamente fissata dal valore di V_{ss} , si può comandare l'apertura o la chiusura dell'interruttore variando la tensione di gate V_G , e più precisamente ponendo $V_G = 0V$ l'interruttore sarà aperto, mentre con $V_G = V_{dd}$ sarà chiuso. Dato che lo switch non è ideale, avremo che il MOS presenterà tra source e drain una resistenza R_{ON} o R_{OFF} a seconda dello stato in cui si trova. Il valore della R_{ON} , ovvero il valore della resistenza quando lo switch è chiuso, determinerà la velocità con la quale si scaricherà il condensatore. A priori possiamo dire che R_{ON} non sarà elevata (al più dell'ordine del centinaio di ohm) e, dato che non siamo interessati alla velocità del circuito, questo non è un fattore di primaria importanza. Viceversa il valore di R_{OFF} limita la minima corrente di ingresso dell'integratore.

Sono state eseguite alcune simulazioni a diversi valori della corrente in ingresso.

In fig. 5.22 è mostrata una analisi parametrica del circuito integratore per correnti comprese tra 2 e 10 picoAmpere.

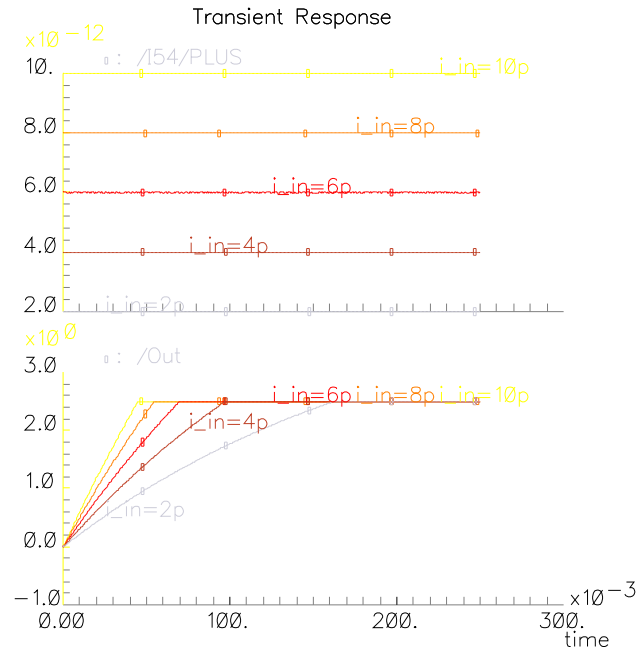


Figura 5.22: POP - transitorio per correnti da 1pA a 10pA

Il circuito, almeno in questa fase di simulazioni, riesce a integrare correttamente correnti dell'ordine dei 2 picoAmpere. Scendendo ulteriormente nel valore di corrente in ingresso, il comportamento non ideale dello switch diventa rilevante e il circuito non funziona più correttamente. In fig. 5.23 viene mostrato il comportamento del circuito per una corrente di ingresso di 1pA.

Nella figura, oltre che alla corrente di ingresso e alla tensione di uscita del circuito, viene anche mostrata la corrente che fluisce nell'interruttore a MOS, si noti come tale valore si attesti intorno al picoampere, rendendo di fatto inutilizzabile il circuito.

5.6 Conclusioni

In questo capitolo è stato presentato il lavoro di simulazione di un amplificatore operazionale a basso rumore disegnato allo scopo di funzionare come

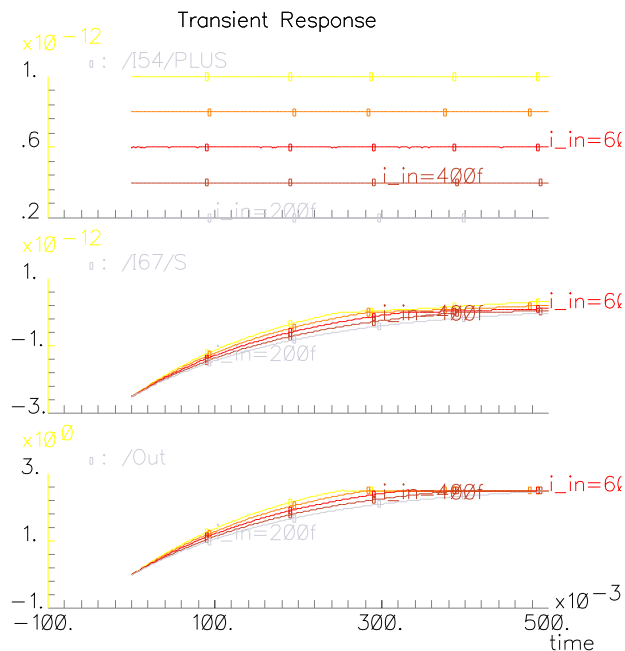


Figura 5.23: POP - Transitorio per correnti da 200fA a 1pA

integratore di basse correnti. Il circuito è risultato funzionare correttamente fino a valori dell'ordine del picoAmpere. Al momento esistono dei vincoli tecnologici nella realizzazione dello switch che limitano il valore minimo di corrente integrabile. Si noti lo switch di reset costituito dal MOS è un componente necessario e non può essere realizzato in altri modi. In questa ultima fase non si è ancora arrivati alla definizione del layout e quindi non sono stati tenuti in considerazione effetti parassiti introdotti dal disegno su silicio dei componenti. È quasi certo dunque che le future simulazioni più accurate alzeranno il limite inferiore di operatività del circuito. Come accennato prima, per limitare gli effetti di perdita andranno usate particolari precauzioni per il disegno del layout finale e in particolare per la capacità di retroazione dell'integratore.

Come nel caso del chip TERA1, la decisione finale sulla fattibilità di tale circuito sarà dunque presa una volta che sarà noto il valore inferiore della corrente di ingresso.

Conclusioni

Durante il periodo da me trascorso nel Laboratorio VLSI della sezione di Torino dell'INFN mi sono occupato di diverse applicazioni che, trattandosi di circuiti analogici ad alte prestazioni, presentavano tutte il problema della riduzione del rumore.

Per quanto riguarda il chip TOA16 mi sono occupato dell'allestimento del banco di prova con particolare attenzione alla schermatura del circuito dalle interferenze elettromagnetiche. Ho inoltre simulato e realizzato il circuito di adattamento dell'impedenza, in quanto il circuito a componenti discreti che era stato predisposto per il montaggio sul circuito stampato non si è rivelato adeguato alle esigenze.

Nell'analisi del chip TERA1 ho allestito il banco di prova, anche in questo caso è stata riposta particolare attenzione alla schermatura del circuito. Mi sono inoltre occupato del test di linearità del circuito e della misura di correnti di ingresso inferiori al limite minimo per il quale il circuito era stato progettato. Sempre nell'ambito delle misure mi sono occupato della realizzazione dell'interfaccia di collegamento tra circuito integrato e strumentazione, di cui ho personalmente progettato e realizzato la logica di controllo. Il prossimo passo consisterà nel collegare il circuito ad un fotodiodo che a sua volta sarà inserito in una cella dove avverrà la reazione chimica tra le molecole ed il rutenio.

Parallelamente alle applicazioni di cui sopra mi sono occupato della simulazione e della realizzazione di un circuito operativo a basso rumore, del quale sono stati realizzati a livello di simulazione due prototipi full-custom. Il lavoro da svolgere è ancora lungo e verterà sull'affinamento del circuito a pMOS a livello di simulazione e sulla realizzazione del layout. Successivamente verranno realizzati i circuiti su silicio e dovrà quindi essere eseguito un test in condizioni operative. Le ricerche precedentemente svolte sull'analisi del DNA avevano portato alla definizione di alcune possibili soluzioni circuitali per il sistema di analisi, il lavoro finora svolto ha dimostrato la realizzabilità di un integratore in tecnologia VLSI adatto ad essere utilizzato come stadio di front end.

Appendice A

Programma per la parametrizzazione di un Opamp a due stadi

Viene riportato il listato del programma utilizzato nel capitolo 5 per definire in modo preliminare le dimensioni dei transistor che compongono l'amplificatore. Il programma è stato scritto in ANSI C. all'avvio il programma richiede se si vogliono inserire le specifiche di progetto manualmente oppure tramite il file "specs.dat" precedentemente creato.

Il file "specs.dat" è un file di testo contenente, nel seguente ordine:

1. Lunghezza minima del canale, L
2. Tensione di alimentazione negativa, V_{ss}
3. Tensione di alimentazione positiva, V_{dd}
4. Capacità di carico, C_L
5. Guadagno ad anello aperto, A_v
6. Prodotto guadagno banda, GB
7. Slew rate, SR
8. Common Mode Range, CMR
9. Massima tensione di uscita, V_{out}
10. Potenza dissipata, P_{diss}

Se l'elaborazione ha avuto esito positivo, i risultati vengono riportati in un file di testo nominati "risultati.dat"

```
#include <stdio.h>
#include <math.h>

FILE *fp,*outfile;
float Av,C1,Vss,Vdd,GB,SR,CMR,L,Pdiss,Vout;

int leggidati(void);

int main (void)
{

float Cc,I5,I6,S1,S2,S3,S4,S5,S6,S7;
float gm2,gm6,Vds5;
float temp1,temp2,Avc,Pdc;
char carattere;

if ( (outfile=fopen("risultati.dat","w+"))==NULL) {
    printf("Errore di apertura del file scrittura\n");
    return(11);
}

printf("opamp.c - PROGRAMMA PER PARAMETRIZZARE UN OP AMP A DUE STADI\n ");
printf("Vuoi leggere i dati da file? ");
/* scanf("%c\n",&carattere); */

fflush(stdin);
carattere = getchar();

printf("%c\n",carattere);

if (carattere=='s') {

    if ( (fp=fopen("specs.dat","rw"))==NULL) {
        printf("Errore di apertura del file\n");
        return(10);
    }
}
```

```

    leggidati();
}
else {

    printf("\nLunghezza canale L [um]=");
    scanf("%f",&L);
    printf("\nTensione di alimentazione negativa Vss [V]=");
    scanf("%f",&Vss);
    printf("\nTensione di alimentazione positiva Vdd [V]=");
    scanf("%f",&Vdd);
    printf("\nCapacita' di carico Cl [pF]=");
    scanf("%f",&Cl);
    printf("\nGuadagno Av=");
    scanf("%f",&Av);
    printf("\nUnity-gain bandwidth GB [MHz]=");

    scanf("%f",&GB);
    printf("\nSlew-Rate SR [V/us] =");
    scanf("%f",&SR);
    printf("\nValore del CMR [V] =");
    scanf("%f",&CMR);
    printf("\nValore massimo della tensione d'uscita Vout [V] =");
    scanf("%f",&Vout);
    printf("\nPotenza massima dissipata Pdiss [mW] =");
    scanf("%f",&Pdiss);
    printf("\n");
    fclose(fp);
}

Cc=.22*Cl;
printf("Cc=%f [pF]\n",Cc);

I5=SR*Cc;
printf("I5=%f [uA]\n",I5);

S3=I5/(17*pow((Vdd-CMR-1.2+.8),2));
printf("S3=%f\n",S3);

if (S3<1)
{
    printf("\n S3 non va bene!\nAumenta SR o diminuisci il CMR\n");
}

```

```

    printf("Forza un nuovo valore di S3:");
    scanf("%f",&S3);
    printf("\n");
    if (S3<1)
        return(1);
}

gm2=6.28*GB*Cc;
printf("gm2=%f uS\n",gm2);

S2=pow(gm2,2)/(17*I5);
printf("S1=S2=%f\n",S2);

Vds5=-CMR-Vss-sqrt(I5/(17*S2))-1.2;
printf("Vds5=%f [V]\n",Vds5);

if (Vds5<=.1)
{
    printf("\n Vds5 non va bene!\nRiduci I5 o aumenta S2=S1\n");
    return(2);
}

S5=2*I5/(17*pow(Vds5,2));
printf("S5=%f \n",S5);

gm6=2.2*gm2*(C1/Cc);
printf("gm6=%f [uS]\n",gm6);

S6=gm6/(8*(Vdd-Vout));
printf("S6=%f\n",S6);

temp1=pow(gm6,2)/(2*8*S6);
temp2=(S6/S3)*(I5/2);

if (temp1>temp2)
    I6=temp1;
else
{
    I6=temp2;
    gm6=sqrt(2*I6*8*S6);
}

```

```

printf("I6=%f [uA]\ngm6=%f [uS]\n", I6, gm6);

S7=S5*(I6/I5);
printf("S7=%f\n", S7);

Avc=(2*gm2*gm6)/(I5*0.03*I6*0.03);
Pdc=(I5+I6)*(Vdd+abs(Vss));
printf("Av (Richiesto)=%f \t Av (calcolato)=%f \n", Av, Avc);
printf("Pdiss (Richiesto)=%f [mW] \t", Pdiss);
printf("Pdiss (calcolato)=%f [mW]\n", Pdc/1000);

fprintf(outfile, "Av (Richiesto)=%f \t Av (calcolato)=%f \n", Av, Avc);
fprintf(outfile, "Pdiss (Richiesto)=%f [mW] \t", Pdiss);
fprintf(outfile, "Pdiss (calcolato)=%f [mW]\n", Pdc/1000);
fprintf(outfile, "Cl=%f\tCc=%f\n", Cl, Cc);
fprintf(outfile, "Vss=%f\tVdd=%f\n", Vss, Vdd);
fprintf(outfile, "GB=%f\tCMR=%f\tVoutmax=%f\n", GB, CMR, Vout);
fprintf(outfile, "Parametri Geometrici:\n");
fprintf(outfile, "L=%f", L);
fprintf(outfile, " S1=S2=%f\n", S2);
fprintf(outfile, " S3=S4=%f\n", S3);
fprintf(outfile, " S5=S8=%f\n", S5);
fprintf(outfile, " S6=%f\n", S6);
fprintf(outfile, " S7=%f\n", S7);
fprintf(outfile, "Correnti [uA]\n");
fprintf(outfile, "I5=%f\n ", I5);
fprintf(outfile, "I6=%f\n ", I6);
fprintf(outfile, "Conduttanze [uS]\n");
fprintf(outfile, "gm2=%f\n", gm2);
fprintf(outfile, "gm6=%f\n", gm6);

printf("Fine programma\n");

fclose(outfile);

return(0);
}

int leggidati(void) {

```



```
fscanf(fp,"%f",&L);  
fscanf(fp,"%f",&Vss);  
fscanf(fp,"%f",&Vdd);  
fscanf(fp,"%f",&C1);  
fscanf(fp,"%f",&Av);  
fscanf(fp,"%f",&GB);  
fscanf(fp,"%f",&SR);  
fscanf(fp,"%f",&CMR);  
fscanf(fp,"%f",&Vout);  
fscanf(fp,"%f",&Pdiss);  
return(0);  
}
```

Bibliografia

- [1] R. S. Muller T. I. Kamins: *Device Electronics For Integrated Circuits*, John Wiley & Sons, Inc.
- [2] G. Lotti G. Calcinaro: *Tecnologia Delle Costruzioni Elettroniche*, La sovrana Editrice.
- [3] SITe: *An Introduction to Scientific Imaging Charge Coupled Devices*, Scientific Imaging Technologies, Inc.
- [4] L. Casati: *Sviluppo dell' elettronica di Front-End per rivelatori al silicio nei futuri esperimenti di Fisica delle alte energie*, Tesi di Laurea, Facoltà di Fisica - Università di Torino A.A. 1992/1993.
- [5] C. Maccarrone: *Progetto di un amplificatore integrato per rivelatori a deriva in silicio*, Tesi di Laurea, Facoltà di Fisica - Università di Torino A.A. 1996/1997.
- [6] *ATLAS Pixel Detector Technical Design Report*, CERN, Ginevra.
- [7] J. Millman A. Grabel: *Microelectronics*, Mc Graw Hill.
- [8] C. D. Motchenbacher J. A. Connely: *Low Noise Electronic System Design*, John Wiley & Sons, Inc.
- [9] Franco: *Amplificatori Operazionali*, Hoepli.
- [10] H. W. Ott: *Noise Reduction Techniques in Electronic systems*, John Wiley & Sons, Inc.
- [11] G. C. Bonazzola, R. Cirio, M. Donetti, F. Marchetto, G. Mazza, C. Peroni, A. Zampieri: *A VLSI circuit for the charge measurement of a strip ionization chamber*.
- [12] P. Allen D. Holdber: *CMOS Analog Circuit Design*, Holt, Rinehart and Winston Inc.

- [13] S. M. Sze: *Semiconductor Devices. Physics and Technology.*, John Wiley & Sons, Inc.

Ringraziamenti

Desidero ringraziare il prof. Giancarlo Bonazzola e il dott. Paolo Giubellino per avermi dato l'opportunità di svolgere una tesi nel campo della microelettronica.

Voglio inoltre ringraziare l'ing. Gianni Mazza, il dott. Angelo Rivetti e l'ing. Gianluca Alberici per il disinteressato aiuto che mi hanno dato durante il lavoro e durante la scrittura di questa tesi.

Un ringraziamento particolare va a tutto il personale del laboratorio di elettronica della sezione di Torino dell'INFN.

Un sentito grazie va infine ai miei genitori per il sostegno che mi hanno dato in questi anni.