FACOLTÀ DI SCIENZE MATEMATICHE, FISICHE E NATURALI Corso di Laurea in Fisica delle Tecnologie Avanzate

Studio di regolatori capless per elettronica integrata di front-end per rivelatori di particelle

Relatore: Prof. Stefania Beolè Candidato: Alessandro Giaramita

Controrelatore:

Prof. Diego Gamba

Ottobre 2011 Anno Accademico 2010-2011

Prefazione

Al CERN di Ginevra è attualmente in funzione il più grande acceleratore di particelle mai costruito, il Large Hadron Collider(LHC). Uno degli esperimenti che lo utilizzano è ALICE(A Large Ion Collider Experiment), il cui obbiettivo è di studiare la composizione della materia, alle condizioni in cui si trovava l'universo pochi μs dopo il Big Bang. L'esperimento ALICE è composto da diversi tipi di rivelatori i quali svolgono ciascuno una funzione specifica. Il rivelatore che sta più vicino al vertice è il Inner Tracking System(ITS), che permette di identificare il vertice primario, ricostruire i vertici secondari e tracciare le particelle con bassa quantità di moto. L'ITS è a sua volta costituito da tre tipi di rivelatori. I due strati più esterni sono equipaggiati con rivelatore a microstrip in silicio a doppia faccia (silicon strip detector, SSD); i due strati intermedi sono formati da rivelatori a deriva (silicon drift detector, SDD). Sia le SSD che le SDD sono equipaggiate con una lettura analogica che permette di misurare l'ampiezza del segnale e quindi di contribuire all'identificazione della particella con misure di perdita di energia specifica (dE/dx). Infine nei due layer più interni troviamo le Silicon Pixel Detector(SPD), che sono i rivelatori più vicini al vertice.

Uno dei problemi principali dei rivelatori di tracciamento interno è quello del multiple scattering, che influisce negativamente sulla risoluzione dell'impulso delle particelle e del parametro d'impatto. Infatti le particelle vengono scatterate con un angolo che dipende fortemente dallo spessore di materiale attraversato. La quantità di materiale che si trova sulla traiettoria delle particelle viene quantificato in unità di lunghezza di radiazione e prende il nome di material budget. I maggiori contributi al material budget vengono dati dal silicio (sensore elettronica di lettura) e dallo spessore dei bus di alimentazione che servono per alimentare i circuiti di front-end. Tuttavia un contributo non trascurabile arriva dai componenti SMD (surface montage devices) come ad esempio i sensori di temperatura, e le capacità di filtro che hanno lo scopo di minimizzare i disturbi sulle alimentazioni. Come esempio la figura 1 riporta la sezione del rivelatore SPD di ALICE. E' quindi molto



Figura 1: Sezione di un rivelatore SPD

importante che l'elettronica di front-end integri a bordo più funzionalità possibili in modo da minimizzare la necessità di componenti esterni. Il nostro lavoro si è concentrato sullo studio di un regolatore di tensione integrato che non necessiti di capacità di filtraggio esterno, seguendo il proposito di minimizzare il material budget senza degradare la qualità delle alimentazioni fornite ai circuiti che elaborano il segnale.

Siamo partiti considerando la configurazione classica di un Low Dropout Regulator (LDO), aiutandoci nello studio con simulazioni circuitali attraverso un programma apposito, per visualizzarne i parametri. Con questi modelli siamo passati poi ad occuparci di un LDO capless preso da letteratura, sempre simulando il circuito e ricavandone le figure di merito. Infine siamo arrivati a progettare un LDO capless con una semplice architettura, ma con particolare attenzione al guadagno ad anello. Questo è un parametro molto importante per un LDO, infatti un guadagno elevato ci assicura una maggiore precisione nella regolazione della tensione; allo stesso tempo il loop di regolazione deve essere adeguatamente veloce in modo da rispondere alla regolazione di carico.

La nostra architettura è basata su un amplificatore operazionale telescopico a singolo stadio che funziona con una corrente di polarizzazione pari a 80uA. La stabilità del sistema è garantita fino ad una corrente massima di carico di 50mA, senza bisogno di alcuna capacità esterna. Il regolatore fornisce in uscita una tensione di 1.2 V utilizzando una tecnologia CMOS a 0.13um; esso ha una dissipazione di potenza contenuta e un elevato margine di immunità ai disturbi. Il dispositivo LDO progettato è in grado di alimentare sistemi analogici e digitali fino a una frequenza pari a 200MHz.

Questa tesi è organizzata nel seguente modo.

Nel primo capitolo trattiamo la teoria che sta alla base dei regolatori lineari, studiando le parti fondamentali che li compongono. Nel secondo capitolo è illustrato il problema della stabilità dei circuiti, esaminando le tecniche di compensazione più utilizzate.

Nel terzo capitolo affrontiamo la progettazione di un regolatore classico con capacità esterna, considerando le figure di merito ottenute come un punto di riferimento.

Nel quarto capitolo disegniamo un regolatore capless, tratto dalla letteratura, confrontando le figure di merito ottenute con quelle del LDO classico.

Nel quinto capitolo viene studiato un regolatore custom che non necessita di capacità di filtraggio in uscita e che è utilizzato per alimentare logiche CMOS.

Indice

1	Regolatori di tensione lineari					
	1.1	Introduzione	9			
	1.2	la tensione di riferimento, Vref	14			
	1.3	Riferimenti Bandgap	18			
	1.4	Il pass transistor	23			
	1.5	Figure di merito di un LDO	28			
2 Progetto di LDO in tecnologia CMOS						
	2.1	Introduzione	37			
	2.2	Stabilità dei circuiti reazionati	38			
	2.3	Tecnica ESR	44			
	2.4	LDO capless	48			
3	Disegno di un regolatore con capacità esterna					
	3.1	Dimensionamento del pass transistor	58			
	3.2	Calcolo dei Poli	61			
	3.3	Benchmark per la valutazione di un LDO	64			

	3.4	Risultati delle simulazioni	67
4	Dis	egno di un regolatore capless basato sul circuito Flipped	
	Vol	tage Follower (FVF)	81
	4.1	Studio della stabilità	83
	4.2	Calcoli progettuali	86
	4.3	Risultati simulazioni	87
5	Dis	egno di un regolatore capless a 2 stadi	99
	5.1	Analisi in frequenza	102
	5.2	Calcoli progettuali	105
	5.3	Risultati simulazioni	105

Capitolo 1

Regolatori di tensione lineari

1.1 Introduzione

Il regolatore di tensione lineare è un dispositivo che fa variare la tensione in uscita in funzione di quella in ingresso sfruttando un' analogia con lo strumento elettronico più semplice da realizzare: il partitore di tensione. Esso risulta particolarmente adatto per alimentare sistemi che hanno un rumore basso, poichè non contengono circuiti a commutazione come ad esempio gli alimentatori switching, che introdurrebbero altro rumore indesiderato. Infatti, alla fine di ogni catena di alimentazione troviamo come ultimo elemento un regolatore lineare di tensione, che agisce da filtro sulla linea di alimentazione, mantenendola sempre costante. Questo è alimentato da una tensione esterna, Vin, e fornisce in uscita una tensione scalata, Vout, che alimenta un carico che può essere ad esempio di tipo resistivo o anche un circuito molto complesso. Il carico può essere visto come una serie di dispositivi che per funzionare hanno bisogno di una determinata corrente ed una specifica tensione; se però ad un certo istante di tempo viene inserito un dispositivo, o ne viene escluso un altro, abbiamo una conseguente variazione di corrente. Se consideriamo la legge di ohm

$$V = RI$$

avremo

$$\Delta V = R \Delta I$$

ma noi sappiamo che per un corretto funzionamento dei dispositivi la tensione deve essere sempre la stessa, quindi va stabilizzata. Quindi possiamo pensare di ottenere una tensione V costante facendo variare la resistenza interna del regolatore in funzione della variazione della corrente in uscita. La nostra relazione diventa

$$V = \Delta R \Delta I$$

quindi possiamo ricavare la variazione di resistenza

$$\Delta R = \frac{V}{\Delta I}$$

Possiamo quindi assimilare la variazione di corrente ad una variazione di carico. Ragionando sul partitore di tensione possiamo ottenere una tensione in uscita in funzione della resistenza interna. Consideriamo il circuito di figura 1.1 se imponiamo la resistenza Rin, vista da Vin, sensibilmente piú



Figura 1.1: Generatore costante di tensione

grande rispetto a quella di carico Rload garantiamo una tensione in uscita costante; infatti se applichiamo il partitore di tensione, otteniamo

$$V_{out} = V_{in} \frac{R_{load}}{R_{load} + R_{in}} = V_{in} \frac{1}{1 + \frac{R_{in}}{R_{load}}}$$

Quindi in condizione di assenza di carico, cioé se Rload vale infinito, il valore massimo in uscita é esattamente uguale a quello in ingresso. Invece in presenza di carico abbiamo una tensione in uscita che uguaglia la caduta di tensione sulla resistenza di carico. Si può definire una tensione di errore ΔV_{err} , che indica la differenza in percentuale tra la tensione in uscita senza carico e con carico

$$\Delta V_{err} = \frac{V_{Out-Max} - V_{load}}{V_{Out-Max}} 100\%$$

La stessa relazione si può riscrivere in termini di resistenze

$$\Delta V_{err} = \frac{R_{in}}{R_{in} + R_{load}} 100\%$$

Ovviamente l'obiettivo è di minimizzare l'errore in modo tale da ottenere una tensione stabilizzata. Per fare questo dobbiamo avere un circuito che rivela il cambiamento di carico e in seguito regola la resistenza interna in modo che il rapporto tra le due resistenze

$$K = \frac{R_{in}}{R_{load}}$$

sia costante. Si ricava la seguente relazione lineare

$$R_{in} = KR_{load}$$

Circuitalmente questa situazione si può rappresentare come in figura 1.2. Ora



Figura 1.2: Relazione lineare tra Rin e Rload

1.1 Introduzione

dobbiamo pensare di esprimere circuitalmente tale relazione ed applicarla al regolatore, dispositivo che varia la sua conducibilità su Rload in funzione della tensione rivelata in uscita. Lo si può fare attraverso un transistor bipolare (BJT) oppure un transistore di tipo MOS(che chiamiamo pass transistor). Esso può essere comandato sulla base, nel caso del BJT, o sul gate, nel caso di un MOS, da un amplificatore di errore. L'amplificatore confronta la tensione ai capi di Rload con una tensione di riferimento, in modo da rispettare la condizione $\Delta V_{err} \cong 0$. La tensione di riferimento ha un valore pari alla tensione che scelgo di utilizzare per alimentare il carico. Il circuito completo dei tre blocchi (Amplificatore operazionale, tensione di riferimento, Vref e il pass transistor) è rappresentato in figura 1.3. Inoltre bisogna considerare le



Figura 1.3: Regolatore di tensione lineare

figure di merito, una parte fondamentale per la progettazione. Queste sono dei parametri di riferimento da tenere sempre sottocontrollo e vanno adattate ad ogni tipo di applicazione. Le figure sotto studio sono:

- Line regulation
- Load regulation
- Efficienza
- Ripple

che saranno descritte più dettagliatamente più avanti. Ora andremo a descrivere i singoli blocchi ad accezione dell'amplificatore operazionale o nel nostro caso amplificatore di errore che è una parte circuitale che sarà descritta nei capitoli successivi, poichè presenta una configurazione diversa a seconda dell' applicazione del regolatore in situazioni di carico diverse. Invece parti che rimangono praticamente identiche sono il generatore vref e il pass transistor.

1.2 la tensione di riferimento, Vref

La tensione di riferimento è un elemento molto importante, poichè deve fornire una tensione idealmente costante in ogni situazione circuitale e sarà presa come riferimento dall' amplificatore di errore. La Vref non alimenta parti di circuito in cui ci sono variazioni di corrente, infatti è collegata all'ingresso invertente dell'amplificatore che ha una resistenza di ingresso praticamente infinita; l'unico elemento di disturbo al quale è sensibile è la variazione della temperatura. Una prima idea per generare una tensione costante è quella



Figura 1.4: Specchio di corrente

di considerare una configurazione circuitale del tipo di figura 1.4. Il circuito considerato prende il nome di specchio di corrente. E' costituito da transistori di tipo MOS, infatti genera una corrente, Iout, in relazione alla corrente Iref e alle dimensioni dei due transistor. Per generare una tensione possiamo sfruttare la legge di Ohm; quindi basta introdurre una resistenza di valore adatto, in serie al transistor M1, tale da ottenere la tensione desiderata. Purtroppo questo tipo di circuito è abbastanza sensibile alle variazioni della tensione di alimentazione Vdd, infatti

$$\Delta I_{out} = \frac{\Delta V_{dd}}{R_1 + 1/g_{m2}} \frac{(W/L)_1}{(W/L)_2}$$

quindi non risulta adatto per il nostro tipo di applicazione. Un metodo per ottenere una lout indipendente da Vdd, è di ricavare sempre la lout da Iref e inoltre di riottenere Iref da lout (vedi figura 1.5). Iout, limitata



Figura 1.5: Specchio di corrente indipendente

dalla resistenza R1, viene specchiata da M3 e M4 definendo Iref. In questa configurazione può essere scritta la seguente equazione

$$V_{GS1} = V_{GS2} + I_{out}R_1$$

dove I_{out} è la corrente che circola in M3 e M2. Sostituendo al posto della V_{GS} la relazione $V_{GS} = V_{DS} + V_{TH}$ dove, per un generico NMOS, abbiamo

$$V_{GS} = \sqrt{\frac{2I_D}{\mu_n C_{OX}(W/L)}}$$

Si trova:

$$\sqrt{\frac{2I_{out}}{\mu_n C_{OX}(W/L)_N}} + V_{TH1} = \sqrt{\frac{2I_{out}}{\mu_n C_{OX}K(W/L)_N}} + V_{TH2} + I_{out}R_1$$

da cui, trascurando l'effetto body, otteniamo

$$\sqrt{\frac{2I_{out}}{\mu_n C_{OX}(W/L)_N}} (1 - \frac{1}{\sqrt{K}}) = I_{out} R_1$$

Possiamo ricavare la corrente Iout

$$I_{out} = \frac{2}{\mu_n C_{OX}(W/L)_N} \frac{1}{R_1^2} (1 - \frac{1}{\sqrt{K}})^2$$

Otteniamo una corrente che è perfettamente indipendente dalla tensione di alimentazione Vdd, ma purtroppo rimane ancora la dipendenza dalla temperatura, data dai transistor e dalla resistenza. Ora studiamo la seconda architettura che ci servirà per eliminare anche questo problema.

1.3 Riferimenti Bandgap

Un riferimento di tipo bandgap sfrutta la giunzione PNP o NPN per ottenere una tensione indipendente dalla temperatura e dalla tensione di alimentazione. Inoltre ha la capacità di funzionare molto bene anche con basse tensioni di alimentazione. La configurazione circuitale è rappresentata in figura 1.6. L'indipendenza dalla temperatura la otteniamo costruendo un dispositivo



Figura 1.6: Circuito bandgap

che abbia due coefficienti di temperatura(TC) uguali e opposti, tali che la somma dia un TC pari a 0. I TC sono dei coefficienti caratteristici dei transistor BJT. Per capire come vengono ricavati incominciamo a considerare la corrente Ic che circola tra il collettore e l'emettitore

$$I_C = I_S e^{\frac{V_{BE}}{V_T}}$$

con I_S corrente di polarizzazione inversa, V_{BE} la tensione tra la base e l'emettitore e V_T tensione di soglia

$$V_T = \frac{KT}{q}$$

con K costante di Boltzmann che vale $\cong 1,38 * 10^{-23} J/K$, T temperatura ambiente pari a 300K e q carica dell'elettrone $\cong 1,6 * 10^{-9}c$, quindi Vt vale circa

$$V_T = \frac{1,38 * 10^{-23} 300K}{1,6 * 10^{-19}} \cong 26mV$$

Definiamo il coefficiente di temperatura come la derivata parziale di V_{BE} rispetto alla temperatura. L'espressione di V_{BE} è la seguente:

$$V_{BE} = V_T ln \frac{I_C}{I_S}$$

La sua derivata parziale risulta

$$\frac{\partial V_{BE}}{\partial T} = \frac{\partial V_T}{\partial T} ln \frac{I_C}{I_S} - \frac{V_T}{I_S} \frac{\partial I_S}{\partial T}$$

poichè $I_S = bT^{4+m}e^{-\frac{E_g}{KT}}$ si può scrivere

$$\frac{\partial V_{BE}}{\partial T} = \frac{\partial V_T}{\partial T} ln \frac{I_C}{I_S} - \frac{V_T}{I_S} - \frac{E_g}{KT^2} V_T$$

Quindi per un valore di $V_{BE} = 750 mV$ e la temperatura ambiente, troviamo

$$TC = \frac{\partial V_{BE}}{\partial T} = -1.5mV/K$$

Come si può notare, un BJT nelle condizioni considerate, ha un coefficiente di temperatura negativo. Un TC positivo si ottiene dalla differenza di tensione tra due giunzioni pn; il circuito è mostrato in figura 1.7. In relazione alla figura abbiamo

$$V_{BE1} - V_{BE2} = \Delta V_{BE} = V_T ln \frac{I_C}{I_S} - V_T ln \frac{I_C}{nI_S} = V_T lnn$$

dove n è dato dal rapporto della densità di corrente Q_2 su Q_1 . Derivando questa quantità notiamo che si perde la dipendenza dalla temperatura

$$\frac{\partial \Delta V_{BE}}{\partial T} = \frac{K}{q} lnn$$

Ora combinando i coefficienti di temperatura positivi e negativi, possiamo creare un riferimento che ha un coefficiente di temperatura pari a zero. Possiamo scrivere

$$V_{REF} = \alpha_1 V_{BE} + \alpha_2 (V_T lnn)$$



Figura 1.7: Generatore indipendente dalla temperatura

dove $V_T lnn$ è la differenza tra la tensione di base-emettitore dei due transistor che operano tra due densità di corrente diverse. Ora calcoliamo α_1 e α_2 , partendo dal fatto che a temperatura ambiente $\frac{\partial V_{BE}}{\partial T} \cong -1.5mV/K$ e $\frac{\partial V_T}{\partial T} \cong$ +0.087mV/K. Calcolando $\frac{\partial V_{REF}}{\partial T}$ otteniamo

$$\frac{\partial V_{REF}}{\partial T} = \alpha_1 \frac{\partial V_{BE}}{\partial T} + \alpha_2 \frac{\partial V_T}{\partial T} lnn$$

ipotizzando che $\alpha_1=1$ e sostituendo le derivate parziali, otteniamo

$$-1.5mV/K + (\alpha_2 lnn)(0.087mV/K) = 0$$

ricaviamo

$$\alpha_2 lnn \cong 17.2$$

sostituendo

$$V_{REF} \cong V_{BE} + 17.2V_T$$

considerando $V_{BE} = 0.7V$ e $V_T \cong 0.032$ otteniamo un valore di $V_{REF} = 1.25V$. Pensiamo di costruire un circuito che realizza questa funzione, figura 1.8. Vediamo che il transistor Q2 è formato da n unità di transistor in



Figura 1.8: Generatore indipendente dalla temperatura

parallelo invece Q1 è singolo. Supponiamo di forzare, per qualche ragione, la tensione Vo1 uguale alla Vo2. Otteniamo

$$V_{BE1} = RI + V_{BE2}$$

cioè

$$RI = V_{BE1} - V_{BE2} = V_T lnn$$

Inoltre

$$V_{o2} = V_{BE2} + V_T lnn$$

quindi per avere Vo2 indipendente dalla temperatura dobbiamo assumere $lnn \cong 17.2$. Per la realizzazione pratica dobbiamo introdurre un dispositivo che mi garantisca l'uguaglianza delle due tensioni di uscita Vo1 = Vo2. Inoltre essendo che ln n=17.2 corrisponderebbe ad un valore di n molto grande, devo riscalare il termine $RI = V_T lnn$. In figura 1.6 è presentato il circuito completo, l'amplificatore A rivela la tensione su X e su Y, e attraverso R1 e R2 cerca di ottenere una tensione ai suoi capi costante (Vx=Vy). Analizzando il circuito di figura 1.6 si arriva a calcolare la tensione Vout,

$$V_{out} = V_{BE2} + \frac{V_T lnn}{R_3 + R_2} = V_{BE2} + (V_T lnn)(1 + \frac{R_2}{R_3})$$

Per avere un TC pari a zero dobbiamo avere $(1 + \frac{R_2}{R_3})lnn \cong 17.2$

1.4 Il pass transistor

L'ultimo elemento che compone un regolatore lineare è il pass transistor. Esso è anche un transistor di potenza, poichè deve alimentare direttamente il carico, quindi ha dimensioni molto più grandi rispetto agli altri, che definiscono la struttura dell'amplificatore di errore(un rapporto di circa 1:1000). I regolatori possono essere classificati in base alla struttura dell'elemento di passaggio (vedi figura 1.9)

- NPN Darlington
- NPN
- PNP
- PMOS
- NMOS

I dispositivi bipolari, guidati dalla tensione di alimentazione, possono fornire



Figura 1.9: Strutture di pass transistor

una più alta corrente in uscita. Invece i circuiti basati su MOS offrono una limitata performance con forte dipendenza dal rapporto larghezza su lunghezza (W/L) e dalla tensione applicata sul gate. D'altra parte la tensione di comando può minimizzare il flusso di corrente in uscita. Il transistore in configurazione Darlington, per funzionare, richiede almeno una caduta di tensione(dropout) di 1.6V, al contrario della maggior parte dei regolatori LDO che ne richiedono meno di 500mV. Questa tensione possiamo calcolarla ed è data da:

$$V_{dropout} = V_{CE_{saturazione}} + 2V_{BE} \cong 1.6 - 2.5V$$

I regolatori con pass transistor di tipo NPN o PNP richiedono, per il corretto funzionamento, una tensione di base che può essere maggiore o minore, in funzione del tipo del transistor di potenza, della tensione dell'emettitore. Si nota che quando la tensione di dropout ha un valore alto non andiamo incontro a nessun tipo di problema; ma quando la tensione in ingresso si avvicina alla tensione di uscita, il pass transistor viene spinto in zona di saturazione dall'amplificatore operazionale. Inoltre si ha una diminuzione della resistenza equivalente del transistor, tale da compromettere il corretto funzionamento per la regolazione. Comunque la resistenza non arriverà mai ad un valore pari a zero, poichè il transistore deve mantenere la tensione tra base ed emettitore. Tuttavia sotto un certo livello di tensione di alimentazione non si può andare perchè si perde la funzionalità per la regolazione. La minima caduta di tensione per mantenere la condizione di funzionamento è la seguente

$$V_{dropout} = V_{CE_{saturazione}} + V_{BE} \ge 0.9V$$

Un altro parametro da prendere in considerazione è la quiescent current I_q , definita come la differenza tra la corrente in ingresso del pass transistor e quella in uscita. La I_q rappresenta un parametro molto importante, poichè mi definisce l'efficienza del mio dispositivo. Nel caso del regolatore NPN questa corrente è molto piccola e pari alla corrente di polarizzazione. Per quanto riguarda il PNP, il discorso è equivalente al NPN ad eccezione del fatto che la tensione di dropout è molto più bassa; rispetto al NPN infatti, si ottiene un valore prossimo alla tensione tra collettore ed emettitore in saturazione

$$V_{dropout} = V_{CE_{saturazione}} \cong 0.15 - 0.4V$$

con una quiescent current pari a 0.8-2.6mA. Infine abbiamo i due transistori di tipo MOS (PMOS e NMOS). I dispositivi PMOS hanno una caduta di tensione molto bassa in confronto ai NMOS. In questo caso questa tensione può essere ricavata attraverso la tensione di saturazione tra drain e source e si nota che è direttamente proporzionale alla corrente che lo attraversa

$$V_{dropout} = I_{out} R_{ON} \cong 35 - 350 mV$$

dove R_{ON} è la resistenza che oppone il pass transistor quando è in fase di ON. Il valore ottenuto è valido solo per i regolatori con un PMOS. A differenza dei transistori bipolari i MOSFET richiedono una corrente di pilotaggio che è molto inferiore, ottenendo una corrente di uscita che è confrontabile a quella di un NPN o PNP. Inoltre hanno una quiescent current che è sempre molto bassa, al di sotto di 1mA. Possiamo confrontare con una tabella le varie tipologie di regolatore

Parametri	Darlington	NPN	PNP	NMOS	PMOS
I _{O,max}	Alta	Alta	Alta	Media	Media
I_q	Media	Media	Alta	Bassa	Bassa
V _{dropout}	$V_{sat} + 2V_{BE}$	$V_{sat} + V_{BE}$	$V_{CE_{sat}}$	$V_{sat} + V_{gs}$	$V_{SD_{sat}}$
Velocità	Veloce	Veloce	Lento	Medio	Medio

A seconda dell'utilizzo che né si fa possiamo progettare LDO con un particolare di pass transistor. Ad esempio un PNP può essere usato per applicazioni in cui c'è una caduta di tensione bassa; esso presenta però una quiescent current alta, quindi non può essere utilizzato nelle applicazioni dove è richiesta un'alta efficienza. L' NMOS ha il grande vantaggio di avere una resistenza di passaggio bassa, ma il pilotaggio del gate risulta sempre difficoltoso risultando così poco diffuso tra i LDO. Il dispositivo che raggiunge il migliore compromesso è il PMOS, con un livello di performance superiore ai transistor bipolari. Passiamo ora alla descrizione delle singole figure di merito

1.5 Figure di merito di un LDO

Dropout voltage

Il dropout voltage è la differenza di tensione tra l'uscita e l'ingresso del LDO ed è responsabile dell'eventuale mancanza di regolazione al suo ingresso, in particolare quando la tensione in entrata ha un valora prossimo alla tensione in uscita. Per spiegarne le prestazioni consideriamo un LDO formato da un NMOS come transistor di potenza; in fig1.10 mostriamo il grafico Id in funzione di Vds.



Figura 1.10: Curva caratteristica di un NMOS

Si nota come il grafico abbia due zone distinte: la regione lineare e quella



Figura 1.11: Circuito equivalente di un LDO in saturazione

di saturazione. Il regolatore opera nella seconda regione, poiché il transistor funziona come un generatore di corrente controllato dalla tensione. Invece nella zona lineare l'NMOS ha un comportamento resistivo.

In fig:1.11 è mostrato il circuito equivalente per il funzionamento in saturazione.

 βVgs^2 é un generatore di corrente dove β é il guadagno e Vgs é la tensione tra il gate e il source. Posso definire la corrente di drain come

$$Id = \beta V g s^2$$

Il generatore in questione è a corrente costante che dipende dalla tensione tra il gate e il source. Infatti, quando ho una variazione di carico, il circuito agisce sulla Vgs per regolare la corrente Id, in modo da ottenere una tensione costante in uscita.

Corrente di riposo (I_q)

La quiescent current è data dalla differenza tra la corrente in uscita e quella in ingresso. Questa corrente è utilizzata per alimentare il LDO e stimare l'efficienza.

Efficienza

L'efficienza di un LDO è determinata dalla quiescent current e dalle tensioni presenti in uscita V_0 e in ingresso V_I

$$Efficienza = \frac{I_0 V_0}{(I_0 + I_q) V_I} X100$$

dove I_0 è la corrente in uscita

Come si può vedere per avere alta efficienza devo avere una bassa tensione di dropout e una bassa I_q . Una bassa caduta di tensione significa anche una bassa potenza dissipata dal dispositivo

$$P = (V_I I - V_0 I_0)$$

Regolazione al carico

La load regulation indica la capacità del circuito di mantenere costante la tensione di uscita variando la resistenza di carico; nella pratica un tipico circuito che è sottoposto da un segnale di stress in uscita risponde come mostra la figura 1.12. Essa É definita dal rapporto



Figura 1.12: Load regulation

$$\frac{\Delta V_o}{\Delta I_o}$$

In figura 1.12 è mostrato un LDO, dove viene studiata la variazione della tensione in uscita in funzione della corrente. Consideriamo

$$\Delta V_o = \Delta I_o R_{eq}$$



Figura 1.13: Circuito equivalente di un LDO in saturazione

dove R_{eq} è la resistenza equivalente calcolata in P1. In
oltre si ha

$$\Delta I_o = \beta g_a \Delta V_s$$

dove

$$\Delta V_s = \Delta V_o \frac{R_2}{R_1 + R_2}$$

 β è il guadagno in corrente del PMOS e g_a è il guadagno dell'operazionale. Quindi sostituendo ΔV_s in ΔI_o otteniamo

$$\Delta I_o = \beta g_a \Delta V_o \frac{R_2}{R_1 + R_2}$$

Infine si ha

$$\frac{\Delta V_o}{\Delta I_o} = \frac{1}{\beta g_a} \frac{R_1 + R_2}{R_2}$$

Da quest'ultima relazione si nota che se aumentiamo il guadagno in corrente otteniamo una diminuzione della load regulation e quindi un miglior valore per questo parametro.

Regolazione di linea

La line regulation è la misura che indica quanto un LDO mantiene costante la tensione in uscita variando la tensione in ingresso. In questo caso abbiamo una risposta del tipo di figura 1.13. La line regulation É definita da



Figura 1.14: Line regulation

$$\frac{\Delta V_o}{\Delta V_i}$$

Ragionando sul circuito di figura 1.12 troviamo

$$V_{o} = \frac{V_{i}R_{eq}}{R_{ds} + R_{eq}} - \Delta V_{o} = \frac{V_{i}R_{eq}}{R_{ds} + R_{eq}} - \Delta I_{o}R_{eq} = \frac{V_{i}R_{eq}}{R_{ds} + R_{eq}} - \beta g_{a}(V_{s} - V_{r})R_{eq}$$

dove R_{ds} è la resistenza del PMOS. V_s è data da

$$V_s = \frac{R_2}{R_1 + R_2} V_o$$

sostituendo otteniamo

$$V_o = \frac{\frac{R_{eq}(R_1 + R_2)}{R_{ds} + R_{eq}}V_i + (R_1 + R_2)\beta g_a V_r R_{eq}}{R_1 + R_2 + \beta g_a R_2 R_{eq}}$$

sapendo che β e g_a sono dell'ordine di 10³ possiamo supporre che $\beta g_a V_s >> 1$, quindi la mia tensione in uscita diventa

$$V_o = \frac{(R_1 + R_2)}{(R_{ds} + R_{eq})\beta g_a R_2} V_i + \frac{(R_1 + R_2)}{R_2} V_r$$

da cui notiamo che possiamo distinguere due termini: il primo che considera

la dipendenza di V_o dalla tensione in ingresso V_i ed il secondo che è la tensione media in uscita. Riscrivendo la formula della tensione in uscita si ottiene la seguente relazione per la line regulation

$$\frac{\Delta V_o}{\Delta V_i} = \frac{1}{R_{ds} + R_L} \frac{R_{ds} + R_{eq}}{\beta g_a R_2}$$

Anche qui si nota che aumentando il guadagno in corrente si ha un miglioramento di questo parametro.

Risposta al transitorio

Il transient response indica qual è la variazione di tensione in uscita ammessa per una variazione a gradino della corrente di carico; ne mostriamo la risposta in figura 1.14

$$\Delta V_{tran,max} = \frac{I_{o,max}}{C_o + C_b} \Delta t_1 + \Delta V_{ESR}$$

Si nota la dipendenza dalla capacità di uscita C_o , dalla resistenza equivalente in serie alla capacità di uscita ESR, dalla capacità di bypass C_b , dalla corrente di carico massima $I_{o,max}$, dalla banda passante a loop chiuso Δt_1 e dalla variazione di tensione ΔV_{ESR} sulla resistenza ESR.

Ripple

Il ripple misura la componente alternata o gli spike presenti sulle alimentazioni che riescono a passare in uscita del regolatore. Quindi il nostro scopo è di cercare di ridurre il più possibile questo parametro cercando con particolari circuiti, in quanto potrebbe danneggiare il carico o impedirne il corretto funzionamento.



Figura 1.15: Transient response
Capitolo 2

Progetto di LDO in tecnologia CMOS

2.1 Introduzione

Come abbiamo visto il LDO è costituito da tre parti essenziali il pass transistor, la tensione di riferimento e l'amplificatore di errore. In questo capitolo tratteremo più a fondo quest'ultimo componente poichè, come in tutti i sistemi a controreazione, a seconda della sua architettura si deve affrontare il problema della stabilità. Poi vedremo un'interessante evoluzione del LDO, il LDO capless. Questo dispositivo ha la caratteristica di avere un funzionamento stabile anche senza la capacità di compensazione esterna; in realtà questa è presente, ma all'interno del chip avendo un valore tale da essere integrata. L'omissione della capacità esterna viene dall'idea di avere un circuito



Figura 2.1: Circuito retroazionato

costruito tutto su un unico chip (SoC, sistem on a chip), questo per migliorare l'aspetto del material budget, cioè lo spazio occupato dalla circuiteria (material budget); un'altra ragione è per avere una riduzione del rumore che potrebbe essere captato dalla capacità esterna al chip. Cominciamo con il trattare il problema della stabilità.

2.2 Stabilità dei circuiti reazionati

Tutti i circuiti retroazionati hanno un guadagno che può essere controllato direttamente dall'uscita del circuito, collegando l'uscita con l'ingresso. La funzione di trasferimento risulta essere

$$T(s) = \frac{U(s)}{E(s)} = \frac{A(s)}{1 + A(s)B(s)}$$

Per studiare la stabilità dobbiamo andare a cercare i poli e gli zeri della funzione; affinchè il sistema sia stabile è necessario che la funzione non abbia



Figura 2.2: Diagramma di Nyquist

poli con componente reale positiva. La figura 2.2 mostra un esempio di un sistema stabile e di uno instabile. Il diagramma di Nyquist mostrato in figura 2.2 è un ottimo strumento per studiare la stabilità dei sistemi. In pratica dobbiamo studiare il guadagno e la fase al variare della frequenza, individuare quella per cui il mio guadagno è pari a 0 dB e trovare la corrispondente fase, per poi calcolare il margine di fase (dato da 180° meno la fase individuata), che idealmente deve essere pari a 60°. In microelettronica esistono in particolare sistemi a doppio polo, costituiti da due stadi di amplificazione e a triplo polo, costituito da tre stadi di amplificazione. Incominciamo a considerare un sistema a due poli. La funzione di trasferimento tipica è

$$A(s) = \frac{A_0}{(1 + \frac{s}{\omega_1})(1 + \frac{s}{\omega_2})}$$

Questi sistemi isolati sono molto instabili poichè presentano due poli molto simili che hanno pulsazione pari a

$$\omega_1 = \frac{1}{C_1 R_1}$$
$$\omega_2 = \frac{1}{C_2 R_2}$$

dove C_1 e C_2 sono le capacità equivalenti rispettivamente del primo e del secondo stadio e R_1 e R_2 sono le resistenze equivalenti in uscita dei due stadi. Il diagramma di Bode corrispondente è mostrato in figura 2.3. Il sistema ha un guadagno di 0dB quando la fase è già oltre i 180°. Per compensare il sistema utilizziamo il metodo a compensazione con polo dominante. Questo metodo consiste nel variare ω_1 fino a che il guadagno, pari a 0 dB, interseca la frequenza ω_2 con un margine di fase di 45°. Per avere un sistema molto stabile si deve ottenere un valore intorno a 60°. Consideriamo

$$\omega_2' = \frac{1}{2}\omega_2$$

il diagramma di bode corrispondente è mostrato in figura 2.4, dove la pulsazione ω_d prende il nome di polo dominante. Per avere le condizioni elencate



Figura 2.3: diagramma di bode di un sistema a 2 poli



Figura 2.4: diagramma di bode di un sistema a 2 poli compensato

dobbiamo inserire una capacità all'uscita del sistema con un valore significativamente più grande (dell'ordine dei nF, μF) rispetto alle capacità interne (ordine del pF, fF). Questo però comporta una riduzione della banda passante e un'incompleta integrazione del nostro dispositivo su un unico chip. Per ovviare al problema della riduzione della banda passante e sviluppare un sistema SoC si è sviluppata un'altra tecnica di compensazione, sfruttando l'effetto miller. Considero il circuito di figura 2.5 dove A è l'elemento amplificante, C è la capacità miller e Vx è un generatore di test. Vx è utile per determinare l'impedenza equivalente tra l'ingresso e la massa, attraverso la corrente che eroga. Quindi possiamo considerare la corrente

$$I_x = \frac{V_x - V_{out}}{z}$$



Figura 2.5: Circuito che sfrutta l'effetto miller

dove

 $V_{out} = -A * V_x$

е

$$z = \frac{1}{sC}$$

sostituendo in
$$I_x$$
 otteniamo

$$Ix = \frac{V_x - (-A * V_x)}{z}$$

dalla quale si ha

$$\frac{V_x}{I_x} = \frac{z}{1+A}$$

se A>>1 possiamo approssimare questa relazione con $\frac{V_x}{I_x} = \frac{z}{A}$. Infine sostituendo a z la nostra impedenza capacitiva otteniamo

$$z_{c_{eq}} = \frac{1}{sCA}$$

E' come connettere in ingresso una capacità che ha valore

$$C_{in} = AC$$

Si può ottenere una capacità di compensazione che è dell'ordine di grandezza delle capacità interne e quindi facilmente integrabile.

2.3 Tecnica ESR

Se consideriamo una rete a 3 poli, come ad esempio il LDO, la tecnica di compensazione usata è quella di introdurre in parallelo all'uscita del regolatore un condensatore con in serie una resistenza. La capacità viene utilizzata solo come batteria, per mantenere una tensione costante in seguito a variazioni di corrente in uscita dovute al carico e la resistenza gioca un ruolo fondamentale nella stabilità del sistema. La tecnica di compensazione prende il nome di tecnica ESR. Consideriamo innanzitutto un LDO classico. In figura 2.6 e 2.7 sono mostrati la sua architettura e il suo modello per piccolo segnale. Possiamo modellare l'amplificatore di errore come un transconduttore g_a con un carico equivalente Cpar e Rpar. Il transistor di passaggio possia-





Figura 2.7: Modello piccolo segnale LDO classico

mo modellarlo con una transconduttanza $g_p.$ Ora calcoliamo l'impedenza di uscita

$$Z_0 = R_{12p} / (R_{ESR} + \frac{1}{sC_0}) / \frac{1}{sC_b} =$$
$$= \frac{R_{12p} (1 + sR_{ESR}C_0)}{s^2 R_{12p} R_{ESR} C_0 C_b + s[(R_{12p} + R_{ESR})C_0 + R_{12p}C_b] + 1}$$

con $R_{12p} = R_{ds}//(R_1 + R_2) = R_{ds}$. C_0 risulta solitamente molto più grande rispetto alla C_b quindi posso riscrivere Z_0 in questo modo

$$Z_0 = \frac{R_{ds}(1 + sR_{ESR}C_0)}{[1 + s(R_{ds} + R_{ESR})C_0][1 + s(R_{ds}/R_{ESR})C_b]}$$

ora ricaviamo il primo polo

$$P_0: s(R_{ds} + R_{ESR})C_0 = -1$$

alla frequenza di

$$f_{p0} = \frac{-1}{2\pi (R_{ds} + R_{ESR})C_0} \cong \frac{-1}{2\pi R_{ds}C_0}$$

con $R_{ds} >> R_{ESR}$; il secondo polo è

$$P_b: s(R_{ds}//R_{ESR})C_b = -1$$



Figura 2.8: Diagramma di Bode del LDO classico instabile

alla frequenza di

$$f_{pb} = \frac{-1}{2\pi (R_{ds}//R_{ESR})C_b} \cong \frac{-1}{2\pi R_{ESR}C_b}$$

un altro polo, ma che non si trova all'uscita del dispositivo, è dato da

$$P_a \cong \frac{1}{2\pi R_{par} C_{par}}$$

consideriamo lo zero

$$Z_{ESR} : sR_{ESR}C_0 = -1$$

alla frequenza di

$$f_{Z_{ESR}} = \frac{-1}{2\pi R_{ESR}C_0}$$

Per avere una situazione di stabilità dobbiamo introdurre in uscita una



Figura 2.9: Diagramma di Bode del LDO classico stabile

capacità e in serie una resistenza (ESR). L'instabilità è causata dai poli P_0 e P_a a bassa frequenza. Quindi per avere stabilità introduciamo uno zero tale da annullare l'effetto di uno dei due poli. Lo zero produce uno shift del guadagno unitario a UGF1 intorno a -90°.

2.4 LDO capless

Un LDO capless ha il vantaggio, rispetto ad un LDO classico, di non avere la capacità di compensazione esterna, quindi può essere utilizzato per quei complessi circuitali in cui bisogna avere un riguardo sulla questione del material budget in cui si tende ad avere una minimizzazione dello spazio occupato dalla circuiteria. Inoltre i sistemi on chip consentono di creare delle schermature dai disturbi esterni molto più efficienti, e quindi ridurre il rumore. I problemi più frequenti che riguardano questi sistemi riguardano, in certe condizioni, la mancata regolazione della tensione in uscita, dovuta ad esempio a un repentino cambiamento delle condizioni di carico nell'alimentazione di sistemi digitali, che funzionano ad elevata frequenza rispetto a circuiti analogici, che invece hanno fluttuazioni molto più lente ma richiedono sistemi di alimentazione che devono fornire molta corrente. Mancando una capacità di valore elevato (qualche uF), manca l'effetto batteria che consente di mantenere una tensione costante. L'amplificatore, in questo tipo di circuito, gioca un ruolo fondamentale per avere la regolazione desiderata, perciò bisogna creare un operazionale che sia molto veloce a compensare le eventuali variazioni della tensione in uscita, mantenendola costante. Vediamo come esempio un LDO tratto dalla letteratura. La struttura che sta alla base è quella di un flipped voltage follower, figura 2.10. Per avere stabilità questo regolatore necessita di una capacità esterna e non ha un guadagno di anello molto alto, quindi risulta molto lento nella regolazione, ed è evidente che per la nostra applicazione risulta insufficiente. Una possibile modifica è rappresentata in figura 2.11. Notiamo che il transistor di potenza è M1. La tensione di alimentazione, che è anche quella da regolare, è Vin e la tensione che alimenta il nostro carico è Vout. Inoltre abbiamo Vset che è una tensione di controllo generata da un voltage bandgap. Rispetto al FVF abbiamo in aggiunta un blocco non invertente formato da M4, M5, M6 e dalla corrente Ibias3. Aumentiamo notevolmente il guadagno dell'anello per migliorare la line e la load regulation; questo comporta inoltre un'estensione della dinamica di funzionamento della tensione di gate di M1, quindi una saturazione di tale transistor anche per



Figura 2.10: Flipped voltage follower



Figura 2.11: Architettura proposta



Figura 2.12: Modello di piccolo segnale

tensioni Vsg più elevate. Poi abbiamo una capacità di compensazione Cm tra la tensione in uscita e il drain di M3. Analizzando il circuito in frequenza, andiamo a trovare i poli del sistema che si trovano in corrispondenza dell'uscita del LDO, all'ingresso di M1 e all'ingresso del blocco non invertente. I poli non si trovano a frequenza particolarmente bassa, questo comporta una poca stabilità del sistema. Inserendo una capacità, Cm, tra Vout e l'ingresso di M4 possiamo ovviare a questo problema, provocando un pole splitting. In figura 2.12 è mostrato il modello per piccolo segnale. La descrizione più dettagliata la troviamo nel capitolo dedicato.

Capitolo 3

Disegno di un regolatore con capacità esterna

In questo capitolo trattiamo la progettazione di un LDO classico, con capacità esterna. Come visto nel capitolo precedente abbiamo considerato lo schema e il modello di piccolo segnale di figura 3.1. Incominciamo a considerare la corrente che circola in ogni transistor, in condizione di saturazione, per avere il corretto funzionamento del regolatore. Per quanto riguarda un transistor NMOS la condizione di saturazione la otteniamo con la seguente relazione

$$V_{ds} \ge V_{gs} - V_{th}$$

dove V_{ds} è la tensione tra il source e il drain del transistor, V_{gs} è la tensione tra il gate e il source e V_{th} è tensione di soglia; la corrente tra il drain e il



Figura 3.1: Architettura LDO classico e modello di piccolo segnale

source vale

$$I_{ds} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds})$$

dove μ_n è la mobilità elettronica che vale nel caso del silicio, 0.14 $\frac{m^2}{Vs}$, C_{ox} è la capacità data dallo strato di ossido del MOSFET che è dell'ordine del pF, W è la dimensione della larghezza del MOS, L è la dimensione della lunghezza, infine abbiamo λ che esprime una dipendenza quasi lineare della corrente dalla tensione del drain. La quasi linearità è dovuta alla riduzione della lunghezza effettiva del canale all'aumentare della tensione source-drain in situazione di pinch-off. Il valore di λ è dell'ordine di 0.1-0.01 V, quindi trascurando questo effetto la corrente si può scrivere più semplicemente come

$$I_{ds} = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{gs} - V_{th})^2$$

da questa relazione si può ricavare la transconduttanza g_{mn} che è data dal rapporto tra la variazione della corrente I_{ds} e la variazione della tensione V_{gs} . Considerando variazioni infinitesime possiamo derivare la I_{ds} in funzione della V_{gs}

$$g_{mn} = \frac{\partial I_{ds}}{\partial V_{gs}} = \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})$$

Per quanto riguarda il tipo di transistor PMOS la condizione di saturazione è la seguente

$$|V_{ds}| \ge |V_{gs}| - |V_{th}|$$

trascurando l'effetto di λ la corrente vale

$$|I_{ds}| = \frac{\mu_p C_{ox}}{2} \frac{W}{L} (|V_{gs}| - V_{th})^2$$

i valori di V_{ds} e I_{ds} sono uguali in modulo a quelli del transistor NMOS, quindi l'unico parametro che varia è μ_p che vale 0.05 $\frac{m^2}{Vs}$. Considerando nuovamente le formulazioni ricavate nel capitolo precedente per il modello di piccolo segnale applicate a questa configurazione; il circuito è composto da tre stadi di amplificazione, infatti si hanno tre punti ad alta impedenza A, B e C. Incominciamo a considerare il guadagno ad anello aperto A_v

$$A_{v} = \frac{g_{ma}R_{par}g_{mp}Z_{0}}{1 + sR_{par}C_{par}}\frac{R_{1}}{R_{1} + R_{2}}$$

dove g_{ma} e g_{mp} sono rispettivamente la transconduttanza dell'amplificatore di errore e del pass transistor, R_{par} è la resistenza in uscita dell'amplificatore, C_{par} è la capacità parassita introdotta dal pass transistor e Z_0 è l'impedenza vista all'uscita del regolatore data da

$$Z_0 = \frac{R_{ds}(1 + sR_{ESR}C_0)}{[1 + s(R_{ds} + R_{ESR})C_0][1 + s(R_{ds}//R_{ESR})C_b]}$$

dove R_{ds} è la resistenza tra drain e source del pass transistor, R_{ESR} la resistenza in serie alla capacità in uscita, C_0 la capacità in uscita del regolatore

$$P_0: s(R_{ds} + R_{ESR})C_0 = -1$$

alla frequenza di

$$f_{p0} = \frac{-1}{2\pi (R_{ds} + R_{ESR})C_0} \cong \frac{-1}{2\pi R_{ds}C_0}$$

con $R_{ds} >> R_{ESR}$; il secondo polo è

$$P_b: s(R_{ds}//R_{ESR})C_b = -1$$

alla frequenza di

$$f_{pb} = \frac{-1}{2\pi (R_{ds}//R_{ESR})C_b} \cong \frac{-1}{2\pi R_{ESR}C_b}$$

il terzo polo, che non è relativo all'uscita del dispositivo ma a circuiti interni è dato da

$$P_a \cong \frac{1}{2\pi R_{par} C_{par}}$$

infine consideriamo lo zero

$$Z_{ESR} : sR_{ESR}C_0 = -1$$

alla frequenza di

$$f_{Z_{ESR}} = \frac{-1}{2\pi R_{ESR}C_0}$$

Passiamo ora ai calcoli progettuali cominciando a considerare il pass transistor.

3.1 Dimensionamento del pass transistor

Il pass transistor è costruito in funzione della tensione di dropout del regolatore e della corrente massima che esso può erogare. Nel nostro caso la dropout vale circa 300mV e la corrente massima è circa 50mA, con la condizione di pass transistor in saturazione. Iniziamo con lo stabilire le dimensioni $\left(\frac{W}{L}\right)$ di questo transistor. consideriamo la tensione V_{dsat} il cui valore deve essere al massimo uguale a quello della tensione di dropout. Decidiamo di considerare quest'ultima considerazione, quindi scriviamo

$$V_{dsat} = V_{dropout} = \sqrt{\frac{2I_{dmax}}{\mu_p C_{ox} W/L}}$$

da questa relazione possiamo ricavarci le dimensioni

$$\frac{W}{L} = \frac{2I_{dmax}}{\mu_p C_{ox} V_{ds}^2} = \frac{2 * 50 * 10^{-3} A}{0.05 \frac{m^2}{Vs} 5 * 10^{-3} \frac{F}{m^2} (300 * 10^{-3} V)^2} = 4444$$

con C_{ox} calcolata nel seguente modo

$$C_{ox} = \frac{\epsilon_r \epsilon_0}{t_{ox}}$$

dove ϵ_r è la costante dielettrica relativa dell'ossido di silicio (SiO_2) che vale 3.9, ϵ_0 è la costante dielettrica del vuoto che vale $8.85 * 10^{-12} \frac{F}{m}$ e t_{ox} è lo spessore dell'ossido che per la tecnologia utilizzata nel processo a 130nm vale 7nm. Quindi, nel nostro caso, C_{ox} vale

$$C_{ox} = \frac{3.9 * 8.85 * 10^{-12} \frac{F}{m}}{7 * 10^{-9} m} = 5 * 10^{-3} \frac{F}{m^2} = 5 \frac{fF}{\mu m^2}$$

Notiamo che il valore di W/L ottenuto è molto alto. Questo, in fase di progettazione, ci porta a considerare una larghezza molto grande o una lunghezza molto piccola. La tecnologia utilizzata al momento prevede dimensioni dei componenti circuitali sempre più piccole, quindi dobbiamo escludere un valore di W molto grande. Scegliamo quindi di lavorare sul valore di L, sfruttando la tecnologia a $0.13\mu m$ e fissando la lunghezza di canale pari a 240nm. Troviamo così un valore di larghezza pari a circa 1mm. Questo ci permette di ottenere una corrente tra source e drain molto alta. Lavorando però con processi di sub micron, possiamo andare incontro a variazioni della tensione di soglia, proprio in funzione della lunghezza del canale. Il fenomeno in questione si chiama Reverse Short Channel Effect. Questo fenomeno ha la caratteristica di far aumentare la tensione di soglia al diminuire della lunghezza di canale ed è dovuto ad una non uniformità di drogaggio del ca-



Figura 3.2: Drain Induced Barrier Lowering

nale tra il drain e il source, creata per ovviare al problema del Drain-Induced Barrier Lowering (DIBL) che induce anch'esso una modifica della tensione di threshold. Il DIBL si presenta quando la tensione sul drain è molto alta e provoca un ampliamento della zona di svuotamento dal drain fino sotto il gate. L'ampliamento è tale da arrivare a toccare la zona di svuotamento vicino al source (punto di punchthrough), provocando così una conduzione indesiderata di portatori liberi da source a drain, quindi una diminuzione della tensione di soglia (figura 3.2). Per ridurre questo effetto aumentiamo il drogaggio nei pressi del source e del drain (halo doping). Può capitare che queste due zone di maggiore drogaggio si sovrappongono, incrementando la concentrazione media di drogaggio e facendo così aumentare la tensione di soglia. Per avere l'inversione di canale la tensione sul gate deve quindi aumentare. Il nostro pass transistor, dovrà perciò avere una lunghezza che sia maggiore della lunghezza minima ammissibile. La tecnologia ci offre tre tipi di transistor in base allo spessore di ossido, dalla diversa tensione di alimentazione e dalla diversa lunghezza minima. Nel processo a 0.13 um possiamo avere su uno stesso wafer di produzione queste tre tipologie di mosfet. Quello standard ha una lunghezza minima di 0.12um con uno spessore di ossido di gate pari a qualche nm e la tensione di alimentazione massima di 1.5V. La seconda tipologia ha una lunghezza minima di 0,25 um, lo spessore di ossido che è il doppio rispetto alla tipologia standard, e la tensione di alimentazione massima pari a 2,5V. Nella terza tipologia troviamo una lunghezza minima di 0,35 um, dove lo spessore dell'ossido è maggiore e la tensione di alimentazione massima ammissibile aumenta a 3,3V. Un vantaggio di avere una tecnologia di lavorare con lunghezze minime è quello di ottenere correnti molto grandi. Nel nostro progetto si è scelto di utilizzare un pass transistor in tecnologia 0.13um poichè i circuiti da alimentare hanno bisogno di molta corrente.

3.2 Calcolo dei Poli

Per il progetto dell'amplificatore operazionale dobbiamo considerare le specifiche di realizzazione del nostro sistema, in particolar modo il fatto che la capacità sia esterna al regolatore. Ora calcoliamo, utilizzando le formule ricavate in precedenza a quale frequenza si trovano i poli dominanti e non dominanti. Cominciamo a considerare il calcolo della frequenza del polo relativo ai componenti in uscita, P_0

$$f_{P0} = \frac{1}{2\pi R_{ds} C_0}$$

dove R_{ds} è il valore di resistenza tra il drain e il source del transistor di passaggio, il valore dato dal simulatore risulta circa $100K\Omega$, C_0 è il valore di capacità inserita in uscita e vale $10\mu F$; quindi la frequenza è pari a

$$f_{P0} = \frac{1}{2\pi 100 K \Omega 10 \mu F} = 0.159 Hz$$

Un secondo polo sempre relativo all'uscita è dato da P_b e la sua corrispondente frequenza vale

$$f_{Pb} = \frac{1}{2\pi C_b R_{ESR}}$$

in questo caso abbiamo la capacità di by-pass C_b che vale 10 nF e resistenza in serie alla capacità in uscita R_{ESR} e vale 100 Ω ; quindi la frequenza corrispondente vale

$$f_{Pb} = \frac{1}{2\pi 100\Omega 10nF} = 159KHz$$

Un altro polo interno al sistema, P_a , ha una frequenza di

$$f_{Pa} = \frac{1}{2\pi R_{par} C_{par}}$$

dove R_{par} e C_{par} sono rispettivamente la resistenza e la capacità inserite in parallelo all'uscita dell'amplificatore di errore e valgono $R_{par} = 1G\Omega$ e



Figura 3.3: Diagramma di Bode

 $C_{par} = 10 pF$; sostituendo questi valori troviamo

$$f_{Pa} = \frac{1}{2\pi 1 G \Omega 10 pF} = 15.9 Hz$$

Infine calcoliamo la frequenza dello zero dato dalla resistenza ESR, Z_{ESR}

$$f_{Z_{ESR}} = \frac{1}{2\pi R_{ESR}C_0} = \frac{1}{2\pi 100\Omega 10\mu F} = 159Hz$$

Ora possiamo costruire il diagramma di Bode (figura 3.3) dove situiamo i nostri poli e lo zero. UGF indica la frequenza a guadagno unitario nel caso di situazione instabile e UGF1 è la frequenza a guadagno unitario in situazione di stabilità. Come si può notare dal grafico i risultati ottenuti ci permettono di rimanere in una situazione di stabilità.



Figura 3.4: Sistema di alimentazione

3.3 Benchmark per la valutazione di un LDO

In questa sezione vogliamo testare il nostro circuito. Simuliamo il regolatore considerando il caso in cui si vuole alimentare i circuiti presenti sul rivelatore di ALICE. Nell'esperimento ALICE si utilizzano sia circuiti di tipo analogico sia di tipo digitale (figura 3.4). La prima tipologia ha la caratteristica di essere alimentato con una tensione pari a 1.2V a corrente costante ($\cong 20mA$). Il circuito di test proposto è mostrato in figura 3.5, esso è un semplice amplificatore a source comune, dove Vin è la tensione di alimentazione fornita dal LDO e Vout è la tensione cascodata da M3. Questo circuito simula la rivelazione di una particella con carica Q, dove in Vout ho un impulso che ha ampiezza che è direttamente proporzionale alla carica rivelata, Vmax. La durata dell'impulso è uguale al tempo in cui la corrente generata dal rivelatore viene integrata sulla capacità C. La relazione che lega V_{max} alla carica Q è la seguente

$$V_{max} = \frac{Q}{C}$$



Figura 3.5: Circuito di Test analogico



Figura 3.6: Circuito di Test digitale

Il secondo tipo di circuito di test è quello digitale, rappresentato in figura 3.6. Esso rappresenta lo schema di un inverter, caratterizzato da due transistor, uno di tipo p ed uno di tipo n, e alimentato da una tensione Vin, che nel nostro caso vale 1.2 V. I gate dei due transistor, sono comandati da un generatore di impulsi ad onda quadra con duty-cycle pari a 50% e tensione che oscilla tra 0 e 1 V; questi due valori corrispondono rispettivamente allo 0 logico ed a 1 logico. I due transistor possono essere considerati degli interruttori. In particolare l'NMOS può condurre quando il suo gate è a una tensione superiore alla V_{TN} , invece il transistor PMOS conduce quando la tensione sul gate è inferiore a $V_{DD} - |V_{TP}|$. Per capirne il funzionamento consideriamo due casi diversi: - V_{pulse} vale 0: il NMOS sarà interdetto mentre il PMOS



Figura 3.7: Situazione di livello logico alto

sarà in conduzione, quindi V_{out} è pari a 1.2V, figura 3.7. - V_{pulse} è pari a 1: siamo nella situazione contraria a prima, quindi il PMOS sarà interdetto invece l'NMOS è in conduzione. Perciò in uscita avremo un livello logico basso, figura 3.8. Quindi un segnale sui gate a onda quadra con una propria periodicità e propria ampiezza si traduce sulla Vout in un segnale invertito, sempre a onda quadra, con frequenza dettata da Vpulse e ampiezza data da Vin (figura 3.9). Al fine del nostro test sono state impostate frequenze di funzionamento di 40, 80 e 200 MHz.

3.4 Risultati delle simulazioni

Ora andiamo a vedere e discutere i risultati ottenuti dalle simulazioni, i principali test si sono basati sul controllo della stabilità nelle situazioni di



Figura 3.8: Situazione di livello logico basso



Figura 3.9: Onda quadra in uscita dall'inverter



Figura 3.10: Regolazione di linea

utilizzo più critiche, in particolare la regolazione di linea e di carico. Come detto prima i circuiti che il regolatore dovrà alimentare sono di tipo analogico e digitale, quindi successivamente si analizzeranno i risultati ottenuti con i due tipi di circuiti. Per effettuare il test sulla regolazione di linea inseriamo in serie al generatore di tensione, che alimenta il regolatore, un altro generatore di tensione che fa variare l'alimentazione principale di 0.1 V con un tempo di salita e discesa di 10 ns con un periodo di 1s. Quindi vedremo come varia la tensione in uscita del regolatore in seguito a questo disturbo (figura 3.10). La tensione presenta una variazione in relazione al disturbo ma ha un'ampiezza massima pari a circa 140 uV e basso ripple, quindi dei valori tali da non portare disturbi ai circuiti alimentati successivamente. Il



Figura 3.11: Regolazione di carico

test sulla regolazione di linea è effettuato inserendo un generatore di corrente ideale che varia la sua corrente da 1mA a 20 mA con tempo di salita e discesa di 10ns e periodo sempre di 1s (figura 3.11). Nel caso della regolazione di carico ho una tensione che ha una variazione di 6mV, più ampia rispetto al caso della regolazione di linea, ma risulta comunque accettata per il nostro tipo di utilizzo. Inoltre il circuito presenta un ripple molto contenuto, segno di un'alta stabilità. Infatti in condizioni di anello aperto il margine di fase risulta essere 70°. Sono state effettuate anche simulazioni riguardanti la temperatura; variando questo parametro può succedere che il circuito subisca delle variazioni nel funzionamento. Comunemente i test effettuati sono per temperature che vanno da -20°C a 100°C. In particolare andiamo a studiare l'andamento del ripple. I test sono stati effettuati sulla regolazione



Figura 3.12: Regolazione di carico per T=-20°C

di carico. Partendo dal grafico di figura 3.12, notiamo che il ripple ha un comportamento praticamente identico per tutte le situazioni di temperatura, comportando una risposta ottimale per la regolazione di carico in ogni situazione di temperatura.



Figura 3.13: Regolazione di carico per T=0°C



Figura 3.14: Regolazione di carico per T=20°C






Figura 3.16: Regolazione di carico per T=60°C



Figura 3.17: Regolazione di carico per T=80°C



Figura 3.18: Regolazione di carico per T= 100° C

Ora andiamo a studiare le simulazioni che riguardano i worst case, cioè i casi estremi nel funzionamento. Il circuito potrebbe avere dei difetti di fabbrica quindi una modifica dei parametri più sensibili, principalmente la tensione di soglia V_{TH} e la mobilità μ . Quindi abbiamo simulato il circuito in 3 casi differenti:

 -0σ : questo caso ricade nella normale condizione di funzionamento, figura 3.19.

 -3σ : qui andiamo a modificare i parametri del circuito, cioè abbassiamo la mobilità μ e aumentiamo la V_{th} , di conseguenza avremo un sistema più lento, figura 3.20.

 $-+3\sigma$: in questo caso consideriamo la situazione opposta, alzando la mobilità e abbassando la tensione di soglia, quindi ci aspettiamo un sistema più veloce, figura 3.21.

Questi valori sono riferiti ad una gaussiana dove il margine di errore massimo di fabbricazione accettabile è pari a 3σ . I grafici ottenuti mostrano valori di dropout e ripple accettabili. Infine studiamo le simulazioni effettuate per alimentare i circuiti di test, figure 3.22, 3.23, 3.24. Notiamo che rispetto al caso ideale, figura 3.9, per le tre frequenze di funzionamento le onde quadre in uscita risultano smussate e con un picco pari a 1.275V, però il duty cycle rimane sempre pari a 50%. Comunque anche in questo caso i valori rientrano nelle nostre tolleranze. In conclusione possiamo considerare il nostro primo LDO come circuito di riferimento poichè permette di alimentare circuiti in analogico e digitale senza nessun compromesso. Il nostro lavoro sarà ora







Figura 3.20: Worst case a -3σ



Figura 3.21: Worst case a $+3\sigma$

di riuscire a realizzare LDO senza capacità di compensazione esterna e di equiparare i risultati ottenuti dal LDO classico.



Figura 3.22: Onda quadra a 40MHz



Figura 3.23: Onda quadra a 80MHz



Figura 3.24: Onda quadra a 200MHz

Capitolo 4

Disegno di un regolatore capless basato sul circuito Flipped Voltage Follower (FVF)

Come accennato nel capitolo due il regolatore di tensione capless più semplice è il circuito flipped voltage follower, FVF. Riprendendo in esame la figura 2.10, si nota che Vin è la tensione da regolare, M1 è il transistor di potenza, mentre M2 e M3 formano un amplificatore di errore in configurazione a gate comune. Il source di M2 misura l'uscita del LDO e lo confronta con Vset, che comanda il gate di M2. Quando questo circuito, viene implementato in tecnologia nanometrica, risulta molto suscettibile alle capacità parassite che si formano in queste architetture diventando instabile. Una soluzione a questo problema è illustrata in figura 4.1. Il regolatore si basa sulla struttura di Disegno di un regolatore capless basato sul circuito Flipped Voltage Follower 82 (FVF)



Figura 4.1: Architettura proposta

un FVF: vediamo che innanzitutto abbiamo il transistore di potenza M1, poi abbiamo la tensione da regolare, Vin, e la tensione regolata, Vout. La Vset è la tensione di riferimento, creata dal circuito di tipo bandgap. Rispetto al FVF abbiamo in aggiunta un blocco non invertente formato dai transistori M4, M5 e M6 e dalla corrente Ibias3; questo blocco aumenta considerevolmente il guadagno migliorando la regolazione di linea e di carico, inoltre aumenta la dinamica della tensione sul gate di M1. Questo aspetto consente di avere un alto Vsg di M1, quindi di avere un rapporto W/L piccolo, ma con la condizione di uno spessore del metallo di M1 tale da avere una caduta di tensione ai capi di M1 piccola in condizioni di corrente in uscita massima. Infine abbiamo la capacità di compensazione Cm, inserita tra la tensione Vout e il drain di M3.

4.1 Studio della stabilità

Analizzando il circuito in frequenza, andiamo a trovare i poli del sistema. Essi si trovano in corrispondenza dell'uscita del LDO, all'ingresso di M1 e all'ingresso del blocco non invertente. I poli non si trovano a frequenza particolarmente bassa, questo comporta una poca stabilità del sistema. Inserendo una capacità, Cm, tra Vout e l'ingresso di M4 possiamo ovviare a questo problema, provocando un pole splitting. In figura 4.2 è mostrato il modello per piccolo segnale assumendo che $g_{m1} >> g_{mi}, C_m >> C_i$ e $C_4R_4 >> C_{OUT}R_{OUT}$, dove g_{mi} e C_i sono la transconduttanza e la capacità



Figura 4.2: Modello di piccolo segnale

del generico transistor. La funzione di trasferimento del circuito è

$$A_{v}(s) = \frac{v_{out}(s)}{v_{in}(s)} \cong \frac{A_{dc}(1 - s\frac{C_{m}}{g_{m4}R_{4}g_{m1}} - s^{2}\frac{C_{m}C_{4}}{g_{m4}g_{m1}})}{(1 + \frac{s}{p_{-3dB}})(1 + s\frac{C_{4}}{g_{m2}g_{m1}R_{OUT}} + s^{2}\frac{C_{4}C_{OUT}}{g_{m4}g_{m1}})}$$

$$\cong \frac{\left(1 - s \frac{C_m}{g_{m4}R_4g_{m1}} - s^2 \frac{C_m C_4}{g_{m4}g_{m1}}\right)}{\frac{s}{GBW} \left(1 + s \frac{C_4}{g_{m2}g_{m1}R_{OUT}} + s^2 \frac{C_4 C_{OUT}}{g_{m4}g_{m1}}\right)}$$

dove A_{dc} è il guadagno ad anello aperto ed è dato da

$$A_{dc} = g_{m3}g_{m4}g_{m1}R_3R_4R_{OUT}$$

 p_{-3dB} è il polo dominante che ha valore

$$p_{-3dB} = \frac{1}{C_m R_3 R_4 R_{OUT} g_{m4} g_{m1}}$$

infine abbiamo il GBW, cioè il guadagno di banda prodotto dal loop di reazione dato da

$$GBW = A_{dc}p_{-3dB} = \frac{g_{m3}}{C_m}$$

Nella condizione in cui C_m è piccolo e g_{m1} è grande gli zeri del sistema sono situati ad alta frequenza e possono essere trascurati, quindi la nostra funzione di trasferimento si può riscrivere come

$$A_{v}(s) = \frac{v_{out}(s)}{v_{in}(s)} \cong \frac{A_{dc}}{(1 + \frac{s}{p_{-3dB}})(1 + s\frac{C_{4}}{g_{m2}g_{m1}R_{OUT}} + s^{2}\frac{C_{4}C_{OUT}}{g_{m4}g_{m1}})}$$

Quindi una delle condizioni per avere un sistema stabile è la seguente:

$$C_{OUT} \le \frac{C_4}{4g_{m4}g_{m1}R_{OUT}^2}$$

Possiamo riscrivere la funzione di trasferimento in maniera più semplificata

$$A_v(s) = \frac{A_{dc}}{(1 + \frac{s}{p_{-3dB}})(1 + s\frac{s}{p_2})(1 + \frac{s}{p_3})}$$

dove

$$p_{2} = \frac{1}{2C_{OUT}R_{OUT}} - \sqrt{\frac{1}{4C_{OUT}^{2}R_{OUT}^{2}} - \frac{g_{m4}g_{m1}}{C_{4}C_{OUT}}}$$
$$p_{3} = \frac{1}{2C_{OUT}R_{OUT}} + \sqrt{\frac{1}{4C_{OUT}^{2}R_{OUT}^{2}} - \frac{g_{m4}g_{m1}}{C_{4}C_{OUT}}}$$

Un'altra condizione da soddisfare è data da

$$GBW \le (1/2)p_2 \le (1/4)p_3$$

4.2 Calcoli progettuali

Ora andiamo ad applicare le formule ottenute attraverso lo studio in frequenza. Come prima cosa consideriamo i valori di transconduttanza di M1, M3 e M4: $g_{M1} = 28.5mS$, $g_{M3} = 47.78\mu S$, $g_{M4} = 69.51\mu S$. Inoltre consideriamo le resistenze ed i condensatori associati ad ogni transistor: $R_1 = 50\Omega$, $R_3 = 300K\Omega$, $R_4 = 300K\Omega$, $C_1 = 25pF$, $C_3 = 1pF$, $C_4 = 200fF$ ed infine la capacità di compensazione $C_m = 10pF$. Calcoliamo la posizione dei poli:

$$P_1 = \frac{1}{10pF300K\Omega300K\Omega50\Omega47.78\mu S28.5mS} = 16319.1Hz$$

$$P_{2} = \frac{1}{2(25pF)(50\Omega)} - \sqrt{\frac{1}{4(25pF)^{2}(50\Omega)^{2}} - \frac{47.78\mu S28.5mS}{1pF25pF}} = 7.5 * 10^{7} Hz$$
$$P_{3} = \frac{1}{2(25pF)(50\Omega)} + \sqrt{\frac{1}{4(25pF)^{2}(50\Omega)^{2}} - \frac{47.78\mu S28.5mS}{1pF25pF}} = 7.3 * 10^{8} Hz$$

calcoliamo inoltre il guadagno di banda

$$GBW = \frac{69.51\mu S}{10pF} = 6.951 * 10^6 Hz$$

quindi andiamo a verificare la condizione di stabilità

$$GBW \le (1/2)p_2 \le (1/4)p_3$$

$$6.951 * 10^6 \le 3.75 * 10^7 \le 1.83 * 10^8$$

Come si può notare la condizione di stabilità è verificata.

4.3 Risultati simulazioni

In questo paragrafo andiamo a discutere i risultati ottenuti dalle simulazioni. I principali test si sono basati sul controllo della stabilità nelle situazioni di utilizzo più critiche, in particolare la regolazione di linea e di carico. Come detto prima i circuiti che il regolatore dovrà alimentare sono di tipo analogico e digitale, quindi successivamente si analizzeranno i risultati ottenuti con i due tipi di circuiti. Per effettuare il test sulla regolazione di linea inseriamo in serie al generatore di tensione, che alimenta il regolatore, un altro generatore di tensione che fa variare l'alimentazione principale di 0.1 V. Il tempo di salita e discesa è di 10 ns con un periodo di 10us. Come vedremo la tensione in uscita del regolatore varia in seguito a questo disturbo (figura 4.3). Nel grafico si nota un glitch che risulta molto profondo, tuttavia dura anche molto poco. Di per se è quindi difficile valutarne l'effetto sul circuito reale. Pertanto è necessario definire dei benchmark, ossia dei circuiti rappresentativi di cui si verificano le prestazioni. La tensione presenta una variazione in relazione al disturbo ma la sua ampiezza massima è pari a circa 190 mV e il ripple è basso; questi valori sono tali da non portare disturbi ai circuiti alimentati successivamente. Il test sulla regolazione di carico è effettuato inserendo un generatore di corrente ideale che varia la sua corrente da 1mA a 20 mA con tempo di salita e discesa di 10ns e periodo sempre di 1s (figura 4.4). Nel



Disegno di un regolatore capless basato sul circuito Flipped Voltage Follower 88 (FVF)

Figura 4.4: Regolazione di carico

caso della regolazione di carico si ha una tensione che ha una variazione di circa 10mV, anch'essa accettabile per il nostro tipo di utilizzo. Inoltre il circuito presenta un ripple molto contenuto, segno di un'alta stabilità. Infatti in condizioni di anello aperto il margine di fase risulta essere circa di 68°. Sono state effettuate anche simulazioni riguardanti la temperatura; variando questo parametro può accadere che il circuito subisca delle variazioni nel funzionamento. Comunemente i test effettuati sono per temperature che vanno da -20°C a 100°C. In particolare andiamo a studiare l'andamento del ripple. I test sono stati effettuati sulla regolazione di carico. Partendo dal grafico di figura 4.5, notiamo che il ripple ha un comportamento praticamente identico per tutte le situazioni di temperatura, comportando una risposta ottimale per la regolazione di carico per tutte le temperature.



Disegno di un regolatore capless basato sul circuito Flipped Voltage Follower 90 (FVF)

Figura 4.6: Regolazione di carico per T=0°C



Figura 4.8: Regolazione di carico per $T=40^{\circ}C$



Disegno di un regolatore capless basato sul circuito Flipped Voltage Follower 92 (FVF)

Figura 4.10: Regolazione di carico per T= 80° C



Figura 4.11: Regolazione di carico per $T=100^{\circ}C$

Ora ci occupiamo delle simulazioni che riguardano i worst case, cioè i casi estremi nel funzionamento. Il circuito potrebbe avere dei difetti di fabbrica che potrebbero modificare i parametri più sensibili del circuito, principalmente la tensione di soglia V_{TH} e la mobilità μ . Quindi abbiamo simulato il circuito in 3 casi differenti:

 -0σ : questo caso ricade nella normale condizione di funzionamento, figura 4.12.

 -3σ : qui andiamo a modificare i parametri del circuito, cioè abbassiamo la mobilità μ e aumentiamo la V_{th} , di conseguenza avremo un sistema più lento, figura 4.13.

 $-+3\sigma$: in questo caso consideriamo la situazione opposta, alzando la mobi-



Figura 4.12: Worst case a 0σ

lità e abbassando la tensione di soglia, quindi ci aspettiamo un sistema più veloce, figura 4.14.

Questi valori sono riferiti a una gaussiana dove il margine di errore massimo di fabbricazione accettabile è pari a 3σ . I grafici ottenuti mostrano valori di dropout e ripple accettabili. Infine studiamo le simulazioni effettuate per alimentare i circuiti di test, figure 4.15, 4.16, 4.17. Notiamo che rispetto al caso ideale, figura 3.9, per le tre frequenze di funzionamento le onde quadre in uscita risultano molto smussate e si nota che aumentando la frequenza il segnale in uscita risulta sempre più modificato, però il duty cycle rimane sempre pari a 50% In conclusione il nostro primo LDO capless risulta inadatto per alimentare circuiti digitali ma ancora adatto per alimentare circuiti di

Disegno di un regolatore capless basato sul circuito Flipped Voltage Follower 94 (FVF)



Figura 4.14: Worst case a $+3\sigma$



Figura 4.15: Onda quadra a 40MHz

tipo analogico. Quindi, in conclusione, nella parte digitale non si riesce ad avere i risultati ottenuti con un LDO a compensazione esterna.

Disegno di un regolatore capless basato sul circuito Flipped Voltage Follower



Figura 4.16: Onda quadra a $80\mathrm{MHz}$

Disegno di un regolatore capless basato sul circuito Flipped Voltage Follower 98 (FVF)



Figura 4.17: Onda quadra a 200MHz

Capitolo 5

Disegno di un regolatore capless a 2 stadi

In questo capitolo consideriamo un possibile regolatore di tensione con una costruzione circuitale molto semplice (vedi figura 5.2). La prima cosa da notare è che questo tipo di circuito è costituito solo da due stadi. Il primo stadio consente di avere un alto guadagno ad anello mentre il secondo permette di mantenere stabile la tensione di uscita anche in presenza di una repentina variazione di carico. Il secondo stadio utilizza una tipica configurazione a source follower. Il source follower presenta una bassa impedenza di uscita in cambio di una riduzione dello swing, figura 5.1. Vediamo l'architettura che viene proposta; M18 costituisce il transistor di potenza, M5-6 uno specchio di corrente per polarizzare l'amplificatore telescopico, M7-8 lo specchio di corrente per polarizzare il transistor di potenza, M10-17 l'amplificatore tele-



Figura 5.1: LDO capless a 2 stadi

scopico; C1 e C2 costituiscono le capacità di compensazione e di carico. Si nota che l'alimentazione è di tipo duale, 3.3 Volt e 1.5 Volt; questo comporta un miglioramento sulla regolazione di linea del 3.3 V, poichè disaccoppiando le alimentazioni attenuiamo la trasmissione dei disturbi sulla tensione in uscita. In prima approssimazione si può pensare che introdurre una nuova linea di alimentazione, quella a 3.3 V, possa comportare problemi sul material budget in quanto si aggiunge una ulteriore linea di bus di alimentazione. Bisogna però osservare che la parte di circuito alimentata da questa tensione assorbe una corrente dell'ordine del μA quindi lo spessore della linea risulta quasi trascurabile, pertanto si può contribuire al material budget in maniera poco significativa. I transistori utilizzati sono di tipo mosfet 33; questi transistor hanno la caratteristica di avere un ossido di gate più spesso, hanno però bisogno di una alimentazione a 3.3 V per un corretto funzionamento ma sono più facili da mantenere in saturazione e quindi una condizione di linearità più ampia. Il cuore di questo circuito è un cascode telescopico in quanto presenta le caratteristiche migliori per il nostro utilizzo. La tabella seguente mostra un confronto con le varie tipologie di amplificatori operazionali.



Figura 5.2: Architettura di un LDO capless a 2 stadi

	Guadagno	Swing in uscita	Velocità	Potenza dissipata	Rumore
Telescopico	Medio	Medio	Altissima	Bassa	Basso
Folded-	Medio	Medio	Alta	Bassa	Bassa
Cascode					
Gain-	Alto	Medio	Media	Alta	Media
Boosted					

5.1 Analisi in frequenza

Per lo studio dei poli consideriamo sempre il circuito di figura 5.2. Prima di tutto identifichiamo tre poli, il primo è dato dal nodo A il secondo da B e il terzo da C. Il polo A, come discusso nei regolatori considerati in precedenza, si trova ad alta frequenza, il secondo polo si trova relativamente vicino all'origine perchè la resistenza vista da questo punto è molto alta e la capacità intrinseca di M18 è sufficientemente grande da garantire un polo a bassa frequenza. Infine al nodo C troviamo bassa impedenza ma valore di capacità di carico, C1, abbastanza alta. Possiamo dunque affermare che questi siano due poli dominanti. Siamo quindi in presenza di un sistema a due poli $\omega_{p,B},\,\omega_{p,C},\,\mathrm{dove}\;\omega_{p,B}$ è assunto essere il polo dominante. Considerando il modello equivalente per piccolo segnale del source follower, mostrato in figura 5.3 dove per semplicità assumiamo $C_i = C_2, C_o = C_1, g_m = g_{m18}$. Inoltre R_i è la resistenza equivalente in uscita del casco
de telescopico, ${\cal C}_A$ e ${\cal R}_A$ sono rispettivamente la capacità e la resistenza tra gate e source di M18, R_o è la resistenza data dal parallelo tra r_{18} e r_8 cioè le resistenze di uscita dei transistor M18 e M8, infine abbiamo la resistenza vista in uscita, R_{out} , del regolatore che è data da 1/gm18. Quindi otteniamo la seguente funzione di



Figura 5.3: Modello equivalente

trasferimento

$$A(s) = \frac{1 + g_m R_A}{1 + g_m R_A + \frac{R_i}{R_o} + \frac{R_A}{R_o}} \frac{1 + s \frac{C_A R_A}{1 + g_m R_A}}{1 + b_1 s + b_2 s^2}$$

dove

$$b_1 = \frac{C_i R_i + g_m C_i R_i R_A + C_o R_i + C_o R_A + \frac{R_i R_A}{R_o} (C_i + C_A) + C_A R_A}{1 + g_m R_A + \frac{R_i}{R_o} + \frac{R_A}{R_o}}$$

$$b_2 = \frac{C_o(C_i + C_A)R_AR_i + C_iC_AR_iR_A}{1 + g_mR_A + \frac{R_i}{R_o} + \frac{R_A}{R_o}}$$

lo zero del sistema si trova alla frequenza

$$z = -\frac{1 + g_m R_A}{R_A C_A}$$

inoltre se $R_i >> R_A, R_o \in C_i >> C_A, C_o$, posso riscrivere $b_1 \in b_2$ come

$$b_1 = C_i R_i$$
$$b_2 = \frac{R_i C_i (C_o + c_A)}{a_m}$$

Sapendo che ho un polo dominante all'ingresso del source follower e applicando il metodo di Cartesio otteniamo

$$p_D = -\frac{1}{b_1} = -\frac{1}{R_i C_i}$$

e un altro polo

$$p_s = -\frac{b_1}{b_2} = \frac{g_m}{C_o + C_A}$$

Infine la resistenza vista in uscita vale

$$R_{out} = \frac{1}{gm}$$

La compensazione effettuata su questo sistema è di tipo a polo dominante in quanto è di facile applicazione e inoltre più adatta a questo tipo di architettura poichè, come detto prima, nel nodo A siamo in presenza di un polo dominante in quanto ho un'alta impedenza. Infatti inserendo una capacità tra A e massa rafforzo la condizione di dominanza e quindi di stabilità.

5.2 Calcoli progettuali

Ora andiamo a calcolare la posizione dei due poli, utilizzando i valori della transconduttanza di M18 che è pari a 27.84 ms con la misura di W/L pari a 2 mm/400 nm; resistenza Ra pari a $1M\Omega$, e resistenza in uscita dall'amplificatore telescopico uguale a $1M\Omega$; capacità tra gate e source, C_a , sempre di M18 pari a 2fF, capacità di compensazione interna, Ci, pari a 5pF e infine la capacità di carico, Co, uguale a 1nF:

$$\omega_z = \frac{1 + 27.84mS * 1M\Omega}{1M\Omega * 2fF} = 1.39 * 10^{13} \frac{rad}{sec}$$
$$\omega_{pd} = \frac{1}{100K\Omega * 5pF} = 2 * 10^6 \frac{rad}{sec}$$
$$\omega_{ps} = \frac{27.84mS}{1nF + 2fF} = 2.78 * 10^7 \frac{rad}{sec}$$
$$R_{out} = \frac{1}{27.84mS} = 35.9\Omega$$

5.3 Risultati simulazioni

Andiamo a discutere i risultati ottenuti dalle simulazioni. I test applicati sono stati descritti nei capitolio precedenti. Inoltre è stato effettuato il test sulla regolazione di linea per le alimentazioni applicate separatamente al circuito, inserendo in serie al generatore di tensione, che alimenta il regolatore a 3.3 V, un altro generatore di tensione che fa variare l'alimentazione principale di 0.1 V. Il tempo di salita e discesa è di 10 ns con un periodo di 200us.



Figura 5.4: Regolazione di linea a 1.5V

Come vedremo la tensione in uscita del regolatore varia in seguito a questo disturbo (figure 5.4 e 5.5). La tensione presenta infatti una variazione in relazione al disturbo sulla line regulation da 1.5V e 3.3V la sua ampiezza massima è pari a circa 60 mV per una variazione del 1.5V e 15mV per il 3.3V il ripple è molto basso per entrambi i casi; infatti questi valori sono tali da non portare disturbi ai circuiti alimentati successivamente. Il test sulla regolazione di carico è effettuato inserendo un generatore di corrente ideale che varia la sua corrente da 1mA a 20 mA con tempo di salita e discesa di 10ns e periodo di 1s (figura 5.4). Nel caso della regolazione di carico si ha una tensione che ha una variazione di circa 310mV, anch'essa accettabile per il nostro tipo di utilizzo, poichè non presenta condizioni di instabilità. Infatti







Figura 5.6: Regolazione di carico



Figura 5.7: Regolazione di carico per $T=-20^{\circ}C$

in condizioni di anello aperto il margine di fase risulta essere circa di 75°. Ora passiamo a considerare le simulazioni riguardanti la temperatura; variando questo parametro può accadere che il circuito subisca delle variazioni nel funzionamento poichè andiamo a modificare le tensioni di soglia dei transistor e la mobilità dei portatori. I test effettuati sulla temperatura vanno da -20°C a 100°C. Ricordiamo che i test sono stati effettuati sulla regolazione di carico. Partendo dal grafico di figura 5.7, notiamo che il ripple ha un comportamento praticamente identico per tutte le situazioni di temperatura, comportando una risposta ottimale per la regolazione di carico per tutte le temperature.


Figura 5.9: Regolazione di carico per $T=20^{\circ}C$



Figura 5.11: Regolazione di carico per T= 60° C







Figura 5.13: Regolazione di carico per T= 100° C



Figura 5.14: Worst case a -3 σ

Ora passiamo alle simulazioni che riguardano le variazioni di processo. Anche qui non notiamo una netta differenza tra le simulazioni ma solo una piccola variazione della risposta del circuito; come ci aspettavamo nel caso $+3\sigma$ migliora la risposta al gradino. Infine studiamo le simulazioni effettuate per alimentare i circuiti di test, figure 5.17, 5.18, 5.19. Notiamo che in questo caso il circuito riesce a regolare in maniera efficiente e quindi riuscire ad avere dei risultati comparabili con il LDO classico per i tre tipi di circuiti digitali da alimentare. In conclusione un LDO capless pur utilizzando una configurazione molto semplice, a due stadi di amplificazione, risulta adatto per alimentare sia circuiti digitali che analogici, però bisogna utilizzare una doppia alimentazione e transistori da 3.3 V.



Figura 5.16: Worst case a 3 σ







Figura 5.18: Onda quadra a 80MHz



Figura 5.19: Onda quadra a 200MHz

Conclusioni

In questo lavoro di tesi è stato affrontato il problema di sviluppare regolatori di tensione integrati che non necessitano di capacità di filtraggio esterne (regolatori capless). Questi circuiti sono già noti in letteratura, noi ci siamo occupati di valutare il loro utilizzo nei sistemi di lettura per rivelatori di particelle utilizzati in fisica delle alte energie. In questo campo l'interesse per l'utilizzo di questi rivelatori deriva dal fatto che l'assenza di capacità di filtro contribuisce a ridurre il material budget. Un valore basso di material budget è infatti una delle figure di merito principali per un rivelatore di vertice. Il lavoro è stato svolto utilizzando una tecnologia CMOS da 0.13 um. Come primo passo è stato progettato un regolatore classico, in modo da avere un punto di riferimento per quanto riguarda le prestazioni raggiungibili da questi tipi di circuiti. Successivamente, abbiamo disegnato un regolatore LDO capless con un'architettura proposta in letteratura. Siamo arrivati quindi a definire dei circuiti tipo rappresentativi dei circuiti analogici e digitali che si trovano sui chip di front-end. In questo modo abbiamo riscontrato che questo primo regolatore è adeguato per alimentare circuiti con consumo di corrente costante ma non logiche CMOS, che assorbono dalle alimentazioni correnti molto variabili a seconda delle funzioni svolte e della frequenza di utilizzo. L'obbiettivo che ci siamo prefissati è quello di progettare un regolatore che possa ovviare a questo problema. Il circuito da noi ideato si basa su un amplificatore operazionale telescopico compensato internamente che può alimentare circuiti analogici senza bisogno di alcuna capacità in uscita. Abbiamo ottenuto prestazioni soddisfacenti con logiche CMOS funzionanti fino a 200 MHz aggiungendo una capacità in uscita. In una moderna tecnologia di submicron questo valore di capacità corrispnde ad un area inferiore ai 500um X 500um e quindi risulta facilmente integrabile on-chip. Pertanto, il circuito sviluppato può alimentare ad una tensione di 1.2V sia circuiti analogici che circuiti digitali, fornendo una corrente massima fino a 50mA senza alcun bisogno di capacità esterna. Il circuito ottenuto presenta una regolazione di linea che si discosta di circa $40\mu V$ rispetto al valore nominale e la regolazione di carico si discosta invece di $100\mu V$. Il principale limite del nostro circuito è che utilizza due tensioni di alimentazione: 3.3 V per l'amplificatore di regolazione e 1.5 V per l'amplificatore di uscita. L'evoluzione futura di questo lavoro potrebbe quindi consistere nel disegno di un circuito che mantenga le prestazioni da noi raggiunte, ma che funzioni con una sola tensione di alimentazione di 1.5 V, semplificando il più possibile il disegno della rete di distribuzione delle alimentazioni utilizzata per i circuiti di front-end.

Bibliografia

[1] Jianping Guo, Ka Nang Leung.

A $6\mu W$ Chip-Area-Efficient Output-Capacitorless LDO in 90nm CMOS Technology, IEEE journal of solid state Circuits, Vol.45, No.9, Sept.2010, pag.1896-1905

[2] Pui Ying Or, Ka Nang Leung.

An Output-Capacitorless Low-Dropout Regulator with direct Voltage-Spike detection, IEEE journal of solid state Circuits, Vol.45, No.2, Sept.2010, pag.458-466

 [3] Peter Hazucha, Teney Karnik, Bradley A. Bloechel, Colleen Parsons, David Finan, Shekhar Borkar.
 Area-Efficient linear regulator with Ultra-Fast load regulation, IEEE journal of solid state Circuits, Vol.40, No.4, April 2003, pag.933-940

- [4] Sai Kit Lav, Philip K.T. Mok, Ka Nang Leung.
 A Low-Dropout regulator for SoC with Q-Reduction, IEEE journal of solid state Circuits, Vol.42, No.3, March 2007, pag.658-664
- [5] Ka Nang Leung, Philip K.T.Mok.

A Capacitor-Free CMOS Low-Dropout regulator with Damping-Factor-Control frequency compensation, IEEE journal of solid state Circuits, Vol.38, No.10, October 2003, pag.1691-1702

[6] Behzad Razavi.

Design of Analog CMOS Integrated Circuits, McGraw-Hill Science/Engineering/Math, 1 edition (2000)

[7] J.Martin.

Analog Integrated Circuit Design, Wiley, 1 edition (1996)

[8] Clenn F.Knoll.

Radiation Destection and Measurement, 3 edition

[9] William R.Leo.

Techniques for Nuclear and Particle Physics Experiments, 1987

[10] Chun-Ping Huang, Ying-Shun Chuang, Tzunhen Hsu.

Bandgap Reference Voltage

[11] Tom Kugelstadt.

Fundmental theory of PMOS Low-Dropout Voltage Regulators, Texas Instruments, April 1999

[12] Bang S.Lee.

Technical Review of Low Dropout Voltage Regulator Operation and Performance, Texas Instruments, August 1999

[13] Everett Rogers.

Stability Analysis of Low-Dropout Linear Regulators with a PMOS Pass Elements, Texas Instruments